

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

013169956 \*\*Image available\*\*

WPI Acc No: 2000-341829/200030

XRAM Acc No: C00-103880

XRPX Acc No: N00-256831

Thin film transistor for semiconductor device produced by doping a semiconductor layer with phosphorus of low concentration, through a first gate electrode

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME ); SEL SEMICONDUCTOR ENERGY LAB (SEME )

Inventor: YAMAZAKI S

Number of Countries: 027 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 1003223	A2	20000524	EP 99122785	A	19991116	200030 B
CN 1257307	A	20000621	CN 99127754	A	19991117	200049
JP 2001094113	A	20010406	JP 99327482	A	19991117	200126

Priority Applications (No Type Date): JP 99206958 A 19990722; JP 98327180 A 19981117; JP 98373222 A 19981228

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 1003223	A2	E	71	H01L-029/786	
------------	----	---	----	--------------	--

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT LI LT LU LV MC MK NL PT RO SE SI

CN 1257307	A			H01L-021/336	
------------	---	--	--	--------------	--

JP 2001094113	A		43	H01L-029/786	
---------------	---	--	----	--------------	--

Abstract (Basic): EP 1003223 A2

NOVELTY - Fabricating a semiconductor device comprises: forming an insulating film (103) in contact with a semiconductor layer (102); forming a first gate electrode (108) intersecting with the semiconductor layer through the insulating film; and adding impurity of one conductivity into the semiconductor layer through part of the gate electrode. Angle (theta) between side of gate electrode and insulating film is 3-60 degrees.

DETAILED DESCRIPTION - ADDITIONAL CLAIMS are also included for:

(a) the manufacture of the semiconductor device which includes a CMOS circuit;

(b) the semiconductor layer (102) itself which includes a semiconductor island on an insulating surface, a channel region and a LDD region; and

(c) an electroluminescent display device having a pixel portion and a peripheral driving circuit over a substrate, TFT and CMOS transistor.

The LDD region in the semiconductor includes three impurity regions, the first impurity region overlapped with the taper portion of a first gate electrode (108), the second overlapping with neither of the two gate electrodes (108, 109).

USE - For electro-optical devices, semiconductor circuit, liquid crystal panel and other semiconductor electronic equipment.

ADVANTAGE - Semiconductor device is highly reliable, at least that of a MOSFET.

DESCRIPTION OF DRAWING(S) - The drawing shows a partial sectional view of a transistor.

semiconductor layer (102)

insulating film (103)

first gate electrode (108)

second gate electrode (109)

pp; 71 DwgNo 3/40

Title Terms: THIN; FILM; TRANSISTOR; SEMICONDUCTOR; DEVICE; PRODUCE; DOPE;  
SEMICONDUCTOR; LAYER; PHOSPHORUS; LOW; CONCENTRATE; THROUGH; FIRST; GATE;  
ELECTRODE

Derwent Class: L03; U11; U12; U13; U14

International Patent Class (Main): H01L-021/336; H01L-029/786

International Patent Class (Additional): H01L-021/20; H01L-021/331;

H01L-021/8238; H01L-027/092

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

06866610    \*\*Image available\*\*

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

PUB. NO. :        2001-094113 [JP 2001094113 A]

PUBLISHED:       April 06, 2001 (20010406)

INVENTOR(s):     YAMAZAKI SHUNPEI

APPLICANT(s):    SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO. :       11-327482 [JP 99327482]

FILED:           November 17, 1999 (19991117)

PRIORITY:        10-327180 [JP 98327180], JP (Japan), November 17, 1998  
(19981117)

                 10-373222 [JP 98373222], JP (Japan), December 28, 1998  
(19981228)

                 11-206958 [JP 99206958], JP (Japan), July 22, 1999 (19990722)

INTL CLASS:      H01L-029/786; H01L-021/20; H01L-021/336

#### ABSTRACT

PROBLEM TO BE SOLVED: To improve reliability of a thin-film transistor.

SOLUTION: A gate electrode is formed of a first electrode 108 having tapered section, and a second electrode 109 having a width narrower than that of the first electrode 108. In a semiconductor layer, phosphorus is doped at low concentration via the first gate electrode 108, and two kinds of n-type impurity regions 124 to 127 are formed at the region between a channel-forming region 121 and n-type impurity regions 122, 123. The n-type impurity regions 124, 125 are overlapped with the gate electrode, but the regions 126, 127 are not overlapped therewith. By forming two kinds of n-type impurity regions, off-current can be reduced, and at the same time, characteristics can be prevented from deteriorating.

COPYRIGHT: (C) 2001, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-94113  
(P2001-94113A)

(43) 公開日 平成13年4月6日 (2001.4.6)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード (参考)
H 0 1 L 29/786		H 0 1 L 21/20	5 F 0 5 2
21/20		29/78	6 1 7 K 5 F 1 1 0
21/336			6 1 3 A
			6 1 6 A
			6 1 7 L

審査請求 未請求 請求項の数38 O L (全 43 頁) 最終頁に続く

(21) 出願番号 特願平11-327482

(22) 出願日 平成11年11月17日 (1999. 11. 17)

(31) 優先権主張番号 特願平10-327180

(32) 優先日 平成10年11月17日 (1998. 11. 17)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平10-373222

(32) 優先日 平成10年12月28日 (1998. 12. 28)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平11-206958

(32) 優先日 平成11年7月22日 (1999. 7. 22)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

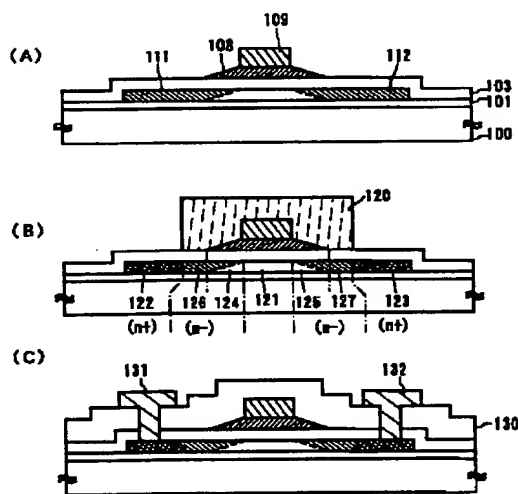
最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 薄膜トランジスタの信頼性を向上する。

【解決手段】 ゲート電極はテーパ部を有する第1のゲート電極108と、第1のゲート電極108よりも幅の狭い第2のゲート電極109となる。半導体層には、第1のゲート電極108を介してリンを低濃度にドーピングする。半導体層には、チャネル形成領域121とn<sup>+</sup>型不純物領域122、123との間に2種類のn<sup>-</sup>型不純物領域124~127が形成される。n<sup>-</sup>型不純物領域124、125はゲート電極とオーバーラップし、n<sup>-</sup>型不純物領域126、127がゲート電極とオーバーラップしていない。2種類のn<sup>-</sup>型不純物領域を形成することにより、オフ電流を低下できると共に、特性の劣化が抑制できる。



100: 基板 101: 下地膜  
102: 絶縁膜 (ゲート絶縁膜)  
104: 第1のゲート電極 105: 第2のゲート電極  
108: 第1のゲート電極 (第1のゲート電極)  
109: 第2のゲート電極 (第2のゲート電極)  
114: P<sup>+</sup>領域  
121: チャネル形成領域  
122, 123: 第1の不純物領域  
124, 125: 第2の不純物領域  
126, 127: 第3の不純物領域  
130: 層間絶縁膜  
131: ソース電極 132: ドレイン電極

## 【特許請求の範囲】

【請求項1】 半導体層と、前記半導体層に接して形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記半導体層と交差するゲート電極とを有する薄膜トランジスタにおいて、

前記ゲート電極の側面が前記ゲート絶縁膜となす角度は3度以上60度以下の範囲にあり、

前記半導体層は、

チャネル形成領域と、

導電性の第1の不純物領域と、

前記チャネル形成領域と前記第1の不純物領域に挟まれ、かつ前記チャネル形成領域に接する前記第1の不純物領域と同じ導電性の第2の不純物領域と、

前記第1の不純物領域と前記第2の不純物領域に挟まれ、前記第1の不純物と同じ導電性の第3の不純物領域と、を有し、

前記第2の不純物領域は前記ゲート絶縁膜を介して前記ゲート電極と重なり、

前記第3の不純物領域は前記ゲート電極と重ならず、

前記第2の不純物領域及び前記第3の不純物領域は、前記導電性の不純物の濃度が前記第1の不純物領域よりも低いことを特徴とする薄膜トランジスタ。

【請求項2】 請求項1において、

前記第2の不純物領域は、前記チャネル形成領域から前記第1の不純物領域に向かって、前記導電性の不純物の濃度が高くなっていることを特徴とする薄膜トランジスタ。

【請求項3】 半導体層と、前記半導体層に接して形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記半導体層と交差するゲート電極とを有する薄膜トランジスタであって、

前記ゲート電極は、

前記ゲート絶縁膜に接して形成された第1のゲート電極と、

前記第1のゲート電極表面に接し、前記第1のゲート電極よりもチャネル長方向の幅が狭い第2のゲート電極と、を有し、

前記第1のゲート電極の側面が前記ゲート絶縁膜となす角度は3度以上60度以下の範囲にあり、

前記半導体層は、

チャネル形成領域と、

導電性の第1の不純物領域と、

前記チャネル形成領域と前記第1の不純物領域に挟まれ、かつ前記チャネル形成領域に接する前記第1の不純物領域と同じ導電性の第2の不純物領域と、

前記第1の不純物領域と前記第2の不純物領域に挟まれた前記第1の不純物と同じ導電性の第3の不純物領域と、を有し、

前記第2の不純物領域は前記ゲート絶縁膜を介して前記第1のゲート電極と重なり、

前記第3の不純物領域は前記第1のゲート電極と重ならず、

前記第2の不純物領域及び前記第3の不純物領域において、前記導電性の不純物濃度は前記第1の不純物領域よりも低いことを特徴とする薄膜トランジスタ。

【請求項4】 請求項3において、

前記第2の不純物領域は、前記チャネル形成領域から前記第1の不純物領域に向かって、前記導電性の不純物の濃度が高くなっていることを特徴とする薄膜トランジスタ。

【請求項5】 半導体層と、前記半導体層に接して形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記半導体層と交差するゲート電極とを有する薄膜トランジスタでなる回路を含んだ半導体装置であって、

前記ゲート電極の側面が前記ゲート絶縁膜となす角度は3度以上60度以下の範囲にあり、

前記半導体層は、

チャネル形成領域と、

前記チャネル形成領域の外側に形成された導電性の第1の不純物領域と、

前記チャネル形成領域と前記第1の不純物領域に挟まれ、かつ前記チャネル形成領域に接する前記第1の不純物領域と同じ導電性の第2の不純物領域と、

前記第1の不純物領域と前記第2の不純物領域に挟まれた前記第1の不純物と同じ導電性の第3の不純物領域と、を有し、

前記第2の不純物領域は前記ゲート絶縁膜を介して前記ゲート電極と重なり、

前記第3の不純物領域は前記ゲート電極と重ならず、

前記第2の不純物領域及び前記第3の不純物領域は、前記導電性の不純物濃度が前記第1の不純物領域よりも低いことを特徴とする半導体装置。

【請求項6】 請求項5において、

前記第2の不純物領域は、前記チャネル形成領域から前記第1の不純物領域に向かって、前記導電性の不純物の濃度が高くなっていることを特徴とする半導体装置。

【請求項7】 請求項5又は6において、

前記薄膜トランジスタにコンデンサが接続され、

前記容量は、半導体層と、前記コンデンサの半導体層表面に接する誘電体膜と、前記誘電体膜に接する電極を有することを特徴とする半導体装置。

【請求項8】 請求項7において、

前記コンデンサの半導体層は、第1の不純物領域と同じ導電性の第4の不純物領域と、前記導電性の不純物の濃度が前記チャネル形成領域と同じ領域とを有することを特徴とする半導体装置。

【請求項9】 請求項6乃至8のいずれか一項において、

前記薄膜トランジスタの半導体層と前記容量の半導体層は一体であることを特徴とする半導体装置。

【請求項10】 請求項5乃至8のいずれか一項に記載の半導体装置をアクティブマトリクス型表示装置の画素マトリクス回路として設けたことを特徴とする液晶表示装置。

【請求項11】 請求項5乃至8のいずれか一項に記載の半導体装置をアクティブマトリクス型表示装置の画素マトリクス回路として用いたことを特徴とするエレクトロルミネセンス表示装置。

【請求項12】 請求項10または11の表示装置を設けたことを特徴とするビデオカメラ、デジタルカメラ、プロジェクタ、ゴーグル型ディスプレイ、カーナビゲーションシステム、パーソナルコンピュータ又は携帯型情報端末。

【請求項13】 nチャネル型の薄膜トランジスタとpチャネル型薄膜トランジスタでなるCMOS回路を含む半導体装置であって、

前記n型の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層に接する第1のゲート絶縁膜と、前記第2のゲート絶縁膜を介して前記第1の半導体層と交差するゲート電極とを有し、

前記p型の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層に接する第2のゲート絶縁膜と、前記第2のゲート絶縁膜を介して前記第2の半導体層と交差する第2のゲート電極を有し、

前記n型の薄膜トランジスタのゲート電極の側面がゲート絶縁膜となす角度は、3度以上60度以下の範囲にあり、

前記第1の半導体層は、

第1のチャネル形成領域と、

第1のn型不純物領域と、

前記第1のチャネル形成領域と前記第1のn型不純物領域挟まれ、かつ前記第1のチャネル形成領域に接する第2のn型不純物領域と、

前記第1のn型不純物領域と前記第2のn型不純物領域に挟まれた第3のn型不純物領域と、を有し、

前記第2のn型不純物領域は前記第1のゲート絶縁膜を介して前記ゲート電極と重なり、

前記第3のn型不純物領域は前記ゲート電極と重ならず、

前記第2のn型不純物領域及び前記第3のn型不純物領域は、n型の不純物の濃度が前記第1のn型不純物領域より低いことを特徴とする半導体装置。

【請求項14】 nチャネル型の薄膜トランジスタとpチャネル型薄膜トランジスタでなるCMOS回路を備えた半導体装置であって、

前記n型の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層に接する第1のゲート絶縁膜と、前記第2のゲート絶縁膜を介して前記第1の半導体層と交差するゲート電極を有し、

前記p型の薄膜トランジスタは、第2の半導体層と、前

記第2の半導体層に接する第2のゲート絶縁膜と、前記第2のゲート絶縁膜を介して前記第2の半導体層と交差する第2のゲート電極とを有し、

前記n型の薄膜トランジスタのゲート電極の側面がゲート絶縁膜となす角度は、3度以上60度以下の範囲にあり、

前記第1の半導体層は、

第1のチャネル形成領域と、

第1のn型不純物領域と、

前記第1のチャネル形成領域と前記第1のn型不純物領域挟まれ、かつ前記第1のチャネル形成領域に接する第2のn型不純物領域と、

前記第1のn型不純物領域と前記第2のn型不純物領域に挟まれた第3のn型不純物領域と、を有し、

前記第2のn型不純物領域は前記第1のゲート絶縁膜を介して前記第1のゲート電極と重なり、

前記第3のn型不純物領域は前記第1のゲート電極と重ならず、

前記第2のn型不純物領域及び前記第3のn型不純物領域は、n型の不純物の濃度が前記第1のn型不純物領域よりも低く、

前記第2の半導体層は、

第2のチャネル形成領域と、

第1のp型不純物領域と、

前記第2のチャネル形成領域と前記第1のp型不純物領域に挟まれ、かつ前記第2のチャネル形成領域に接する第2のp型不純物領域と、を有し、

前記第2のp型不純物領域において、前記n型の不純物の濃度は前記第1のp型不純物領域よりも低いことを特徴とする半導体装置。

【請求項15】 請求項14において、

前記第2のp型不純物領域は前記第2のゲート電極と重ならないことを特徴とする半導体装置。

【請求項16】 請求項14又は15において

前記第2のゲート電極はチャネル長方向の幅が前記第1のゲート電極よりも狭いことを特徴とする半導体装置。

【請求項17】 nチャネル型の薄膜トランジスタとp

チャネル型薄膜トランジスタでなるCMOS回路を含む半導体装置であって、

前記n型の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層に接する第1のゲート絶縁膜と、前記第2のゲート絶縁膜を介して前記第1の半導体層と交差するゲート電極を有し、

前記p型の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層に接する第2のゲート絶縁膜と、前記第2のゲート絶縁膜を介して前記第2の半導体層と交差するゲート電極を有し、

前記nチャネル型薄膜トランジスタのゲート電極は、第1のゲート絶縁膜に接して形成された第1のゲート電極層と、

前記第1のゲート電極表面に接し、前記第1のゲート電極よりもチャンネル長方向の幅が狭い第2のゲート電極とを有し、

前記第1のゲート電極の側面と前記第1のゲート絶縁膜がなす角度は3度以上60度以下の範囲にあり、

前記第1の半導体層は、

第1のチャンネル形成領域と、

前記第1のチャンネル形成領域の外側に形成された第1のn型不純物領域と、

前記第1のチャンネル形成領域と前記第1のn型不純物領域挟まれ、かつ前記第1のチャンネル形成領域に接する第2のn型不純物領域と、

前記第1のn型不純物領域と前記第2のn型不純物領域に挟まれた第3のn型不純物領域と、を有し、

前記第2のn型不純物領域は前記第1のゲート絶縁膜を介して前記第1のゲート電極と重なり、

前記第3のn型不純物領域は前記第1のゲート電極と重ならず、

前記第2のn型不純物領域及び前記第3のn型不純物領域は、n型の不純物の濃度が前記第1のn型不純物領域よりも低く、

前記pチャンネル型薄膜トランジスタのゲート電極は、前記第2のゲート絶縁膜に接する第3のゲート電極と、前記第3のゲート電極に接する第4のゲート電極と、を有することを特徴とする半導体装置。

【請求項18】 nチャンネル型の薄膜トランジスタとpチャンネル型薄膜トランジスタでなるCMOS回路を含む半導体装置であって、

前記n型の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層に接する第1のゲート絶縁膜と、前記第2のゲート絶縁膜を介して前記第1の半導体層と交差するゲート電極を有し、

前記p型の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層に接する第2のゲート絶縁膜と、前記第2のゲート絶縁膜を介して前記第2の半導体層と交差するゲート電極を有し、

前記nチャンネル型薄膜トランジスタのゲート電極は、第1のゲート絶縁膜に接して形成された第1のゲート電極層と、

前記第1のゲート電極表面に接し、前記第1のゲート電極よりもチャンネル長方向の幅が狭い第2のゲート電極とを有し、

前記第1のゲート電極の側面と前記第1のゲート絶縁膜がなす角度は3度以上60度以下の範囲にあり、

前記第1の半導体層は、

第1のチャンネル形成領域と、

前記第1のチャンネル形成領域の外側に形成された第1のn型不純物領域と、

前記第1のチャンネル形成領域と前記第1のn型不純物領域挟まれ、かつ前記第1のチャンネル形成領域に接する第

2のn型不純物領域と、

前記第1のn型不純物領域と前記第2のn型不純物領域に挟まれた第3のn型の不純物領域と、を有し、

前記第2のn型不純物領域は前記第1のゲート絶縁膜を介して前記第1のゲート電極と重なり、

前記第3のn型不純物領域は前記第1のゲート電極と重ならず、

前記第2のn型不純物領域及び前記第3のn型不純物領域は、n型の不純物の濃度が前記第1のn型不純物領域よりも低く、

前記pチャンネル型薄膜トランジスタのゲート電極は、前記第2のゲート絶縁膜に接する第3のゲート電極と、前記第3のゲート電極に接する第4のゲート電極と、を有し、

前記第2の半導体層は、

第2のチャンネル形成領域と、

第1のp型不純物領域と、

前記第2のチャンネル形成領域と前記第1のp型不純物領域に挟まれ、かつ前記第2のチャンネル形成領域に接する第2のp型不純物領域と、を有し、

前記第2のp型不純物領域は、前記n型の不純物の濃度が前記第1のp型不純物領域よりも低いことを特徴とする半導体装置。

【請求項19】 請求項18において、

前記第2のp型不純物領域において、p型の不純物濃度は前記第1のp型の不純物濃度と同じであることを特徴とする半導体装置。

【請求項20】 請求項17乃至19のいずれか一項において、

前記第3のゲート電極及び第4のゲート電極は、チャンネル長方向の幅が前記第1のゲート電極より狭いことを特徴とする半導体装置。

【請求項21】 請求項17乃至20のいずれか一項において、

前記第2のp型不純物領域は前記第4のゲート電極と重ならないことを特徴とする半導体装置。

【請求項22】 請求項13乃至21のいずれか一項において、

前記第2のn型不純物領域において、前記第1のチャンネル形成領域から前記第1のn型不純物領域に向かって、前記n型の不純物の濃度が高くなっていることを特徴とする半導体装置。

【請求項23】 請求項13乃至請求項22のいずれか1項に記載の半導体装置をソースドライバ回路又はゲートドライバ回路に用いたことをするアクティブマトリクス型液晶表示装置。

【請求項24】 請求項13乃至請求項22のいずれか1項に記載の半導体装置をソースドライバ回路又はゲートドライバ回路に用いたことをするアクティブマトリクス型エレクトロルミネセンス表示装置。

【請求項25】 請求項13乃至請求項22のいずれか1項に記載の半導体装置を画素マトリクス回路に用いたことをするアクティブマトリクス型エレクトロルミネセンス表示装置。

【請求項26】 請求項23乃至15のいずれか1項に記載の表示装置を備えたことを特徴とするビデオカメラ、デジタルカメラ、プロジェクタ、ゴーグル型ディスプレイ、カーナビゲーションシステム、パーソナルコンピュータ又は携帯型情報端末。

【請求項27】 半導体層に接して絶縁膜を形成する工程と、  
前記絶縁膜を介して前記半導体層と交差する前記ゲート電極を形成する工程と、  
前記ゲート電極の少なくとも一部を通過させて、所定の導電型の不純物を前記半導体層に添加する工程と、を有し、  
前記ゲート電極の側面が前記絶縁膜となす角度を3度以上60度以下の範囲の値にすることを特徴とする半導体装置の作製方法。

【請求項28】 半導体層に接して絶縁膜を形成する工程と、  
前記絶縁膜を介して前記半導体層と交差する前記ゲート電極を形成する工程と、  
前記ゲート電極の少なくとも一部を通過させて、所定の導電型の不純物を前記半導体層に添加する第1の添加工程と、  
前記ゲート電極を通過させないで、前記不純物を前記半導体層に添加する第2の添加工程と、を有し、  
前記ゲート電極の側面が前記絶縁膜となす角度を3度以上60度以下の範囲の値にすることを特徴とする半導体装置の作製方法。

【請求項29】 請求項28に記載の第2の添加工程において、  
前記ゲート電極を覆い、かつ前記ゲート電極よりもチャネル長方向の幅の広いマスクを用いて、前記半導体層に前記不純物を添加することを特徴とする半導体装置の作製方法。

【請求項30】 半導体層に接して絶縁膜を形成する工程と、  
前記絶縁膜に接して第1の導電膜を形成する工程と、  
前記第1の導電膜に接して第2の導電膜を形成する工程と、  
前記第1、第2の導電膜をパターニングして、第1のゲート電極と、該第1のゲート電極よりもチャネル長方向の幅の狭い前記第1のゲート電極上に第2のゲート電極を形成する工程と、  
前記第1のゲート電極の少なくとも一部を通過させて、所定の導電型の不純物を前記半導体層に添加する工程と、を有し、  
前記第1のゲート電極の側面が前記絶縁膜となす角度を

3度以上60度以下の範囲の値にすることを特徴とする半導体装置の作製方法。

【請求項31】 半導体層に接して絶縁膜を形成する工程と、  
前記絶縁膜に接して第1の導電膜を形成する工程と、  
前記第1の導電膜に接して第2の導電膜を形成する工程と、  
前記第1、第2の導電膜をパターニングして、第1のゲート電極と、該第1のゲート電極よりもチャネル長方向の幅の狭い前記第1のゲート電極上の第2のゲート電極を形成する工程と、  
前記第1のゲート電極の少なくとも一部を通過させて、所定の導電型の不純物を前記半導体層に添加する第1の添加工程と、  
前記ゲート電極を通過させないで、前記導電型の不純物を前記半導体層に添加する第2の添加工程と、を有し、  
前記ゲート電極の形成工程において、前記第1のゲート電極の側面が前記絶縁膜となす角度を3度以上60度以下の範囲の値にすることを特徴とする半導体装置の作製方法。

【請求項32】 請求項31に記載の第2の添加工程において、  
前記第1のゲート電極を覆い、かつ前記第1のゲート電極よりもチャネル長方向の幅の広いマスクを用いて、前記不純物を前記半導体層に添加することを特徴とする半導体装置の作製方法。

【請求項33】 nチャネル型の薄膜トランジスタとpチャネル型薄膜トランジスタでなるCMOS回路を備えた半導体装置の作製方法であって、  
第1の半導体層と第2の半導体層を形成する工程と、  
前記第1半導体層と前記第2の半導体層に接して絶縁膜を形成する工程と、  
前記第1の半導体層と前記第2の半導体層とに交差する第1のゲート配線と、前記第1のゲート配線に第2のゲート配線とを形成する工程と、  
前記第1のゲート配線の少なくとも一部を通過させて、n型の不純物を前記第1の半導体層に添加する第1の添加工程と、  
前記第1のゲート配線を通過させないで、前記n型の不純物を前記第1の半導体層に添加する第2の添加工程と、  
前記第1及び第2のゲート配線をマスクにして、p型の不純物を前記第2の半導体層に添加する添加工程と、を有し、  
前記第1のゲート配線において、前記第1の半導体層と交差している部分の側面は前記絶縁膜となす角度が3度以上60度以下の範囲の値であることを特徴とする半導体装置の作製方法。

【請求項34】 nチャネル型の薄膜トランジスタとpチャネル型薄膜トランジスタでなるCMOS回路を備え



た半導体装置の作製方法であって、

第1の半導体層と第2の半導体層を形成する工程と、前記第1半導体層と前記第2の半導体層に接して絶縁膜を形成する工程と、前記第1の半導体層と前記第2の半導体層とに交差する第1のゲート配線と、前記第1のゲート配線上に第2のゲート配線とを形成する工程と、前記第1及び第2のゲート配線をマスクにして、p型の不純物を前記第2の半導体層に添加する第1の添加工程と、前記第1のゲート配線の少なくとも一部を通過させて、n型の不純物を前記第1の半導体層に添加する第2の添加工程と、前記第1のゲート配線を通過させないで、前記n型の不純物を前記第1の半導体層に添加する第3の添加工程と、を有し、前記第1の半導体層と交差している部分の側面は前記絶縁膜となす角度が3度以上60度以下の範囲の値であることを特徴とする半導体装置の作製方法。

【請求項35】 nチャネル型の薄膜トランジスタとpチャネル型薄膜トランジスタでなるCMOS回路を備えた半導体装置の作製方法であって、

第1の半導体層と第2の半導体層を形成する工程と、前記第1半導体層と前記第2の半導体層に接して絶縁膜を形成する工程と、前記第1の半導体層と前記第2の半導体層とに交差する第1のゲート配線と、前記第1のゲート配線上に積層された第2のゲート配線とを形成する工程と、前記第1及び第2のゲート配線をマスクにして、p型の不純物を前記第2の半導体層に添加する第1の添加工程と、

前記第1のゲート配線を通過させないで、n型の不純物を前記第1の半導体層に添加する第2の添加工程と、前記第1のゲート配線の少なくとも一部を通過させて、前記n型の不純物を前記第1の半導体層に添加する第3の添加工程と、を有し、前記第1の半導体層と交差している部分の側面は前記絶縁膜となす角度が3度以上60度以下の範囲の値であることを特徴とする半導体装置の作製方法。

【請求項36】 nチャネル型の薄膜トランジスタとpチャネル型薄膜トランジスタでなるCMOS回路を備えた半導体装置の作製方法であって、

第1の半導体層と第2の半導体層を形成する工程と、前記第1半導体層と前記第2の半導体層に接して絶縁膜を形成する工程と、前記第1の半導体層と第2の半導体層とに交差する第1のゲート配線と、前記第1のゲート配線上に積層された第2のゲート配線とを形成する工程と、前記第1のゲート配線の少なくとも一部を通過させて、n型の不純物を前記第1の半導体層に添加する第1の添加工程と、

前記第1及び第2のゲート配線をマスクにして、p型の不純物を前記第2の半導体層に添加する第2の添加工程と、

前記第1のゲート配線を通過させないで、前記n型の不純物を前記第1の半導体層に添加する第3の添加工程と、を有し、

前記第1のゲート配線において、前記第1の半導体層と交差している部分の側面は前記絶縁膜となす角度が3度以上60度以下の範囲の値であることを特徴とする半導体装置の作製方法。

【請求項37】 nチャネル型の薄膜トランジスタとpチャネル型薄膜トランジスタでなるCMOS回路を備えた半導体装置の作製方法であって、

第1の半導体層と第2の半導体層を形成する工程と、前記第1半導体層と前記第2の半導体層に接して絶縁膜を形成する工程と、前記第1の半導体層と前記第2の半導体層とに交差する第1のゲート配線と、前記第1のゲート配線上に積層された第2のゲート配線とを形成するゲート配線形成工程と、

前記第1のゲート配線を通過させないで、n型の不純物を前記第1の半導体層に添加する第1の添加工程と、前記第1及び第2のゲート配線をマスクにして、p型の不純物を前記第2の半導体層に添加する第2の添加工程と、

前記第1のゲート配線の少なくとも一部を通過させて、前記n型の不純物を前記第1の半導体層に添加する第3の添加工程と、を有し、

前記第1のゲート配線において、前記第1の半導体層と交差している部分の側面は前記絶縁膜となす角度が3度以上60度以下の範囲の値であることを特徴とする半導体装置の作製方法。

【請求項38】 nチャネル型の薄膜トランジスタとpチャネル型薄膜トランジスタでなるCMOS回路を備えた半導体装置の作製方法であって、

第1の半導体層と第2の半導体層を形成する工程と、前記第1半導体層と前記第2の半導体層に接して絶縁膜を形成する工程と、

前記第1の半導体層と前記第2の半導体層とに交差する第1のゲート配線と、前記第1のゲート配線上に積層された第2のゲート配線とを形成する工程と、

前記第1のゲート配線を通過させないで、n型の不純物を前記第1の半導体層に添加する第1の添加工程と、前記第1のゲート配線の少なくとも一部を通過させて、前記n型の不純物を前記第1の半導体層に添加する第2の添加工程と、

前記第1及び第2のゲート配線をマスクにして、p型の不純物を前記第2の半導体層に添加する第3の添加工程と、を有し、

前記第1のゲート配線において、前記第1の半導体層と

交差している部分の側面は前記絶縁膜となす角度が3度以上60度以下の範囲の値であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は薄膜トランジスタ（以下、TFTという）及び薄膜トランジスタで構成された回路を有する半導体装置に関する。半導体装置として例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、電気光学装置、半導体回路および電子機器も半導体装置である。

【0002】

【従来の技術】近年、結晶性シリコン膜を利用したTFTで回路を構成したアクティブマトリクス型液晶表示装置が注目されている。これはマトリクス状に配置された複数の画素によって液晶にかかる電界をマトリクス状に制御し、高精細な画像表示を実現するものである。

【0003】この様なアクティブマトリクス型液晶表示装置は、解像度がXGA、SXGAというように高精細になるに従い、画素数だけでも100万個を超えるようになる。そしてその全てを駆動するためのドライバ回路は非常に複雑かつ多くのTFTによって形成される。

【0004】実際の液晶表示装置（液晶パネルともいう）に要求される仕様は厳しく、全ての画素が正常に動作するためには画素、ドライバともに高い信頼性が確保されなければならない。特に、ドライバ回路で異常が発生すると一列（または一行）の画素が全滅するといった線欠陥と呼ばれる不良となる。

【0005】ところが、結晶性シリコン膜を利用したTFTは信頼性の面でまだまだLSIなどに用いられるMOSFET（単結晶半導体基板上に形成されたトランジスタ）に及ばないとされている。そして、この弱点が克服されない限り、TFTでLSI回路を形成することは困難であるとの見方が強まっている。

【0006】TFTの信頼性を向上させる構造として、GOLD（Gate Overlapped Light-doped Drain）やLATID（Large-Tilt-Angle Implanted Drain）などが知られている。これらの構造の特徴はLDD領域とゲート電極とがオーバーラップしている点であり、こうすることでLDD領域の不純物濃度を低減することが可能となり、電界の緩和効果が大きくなってホットキャリア耐性が高まる。

【0007】例えば、「M. Hatano, H. Akimoto, and T. Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997」ではシリコンで形成したサイドウォールを用いてGOLD構造のTFTを実現している。

【0008】しかしながら、同論文に開示されたGOLD

D構造では通常のLDD構造に比べてオフ電流（TFTがオフ状態にある時に流れる電流）が大きくなってしまいうという問題があり、そのための対策が必要であった。

【0009】

【発明が解決しようとする課題】本発明はGOLD構造TFTの欠点を解消し、オフ電流を減少させ、かつホットキャリア耐性の高いTFTを提供することを課題とする。そして、そのようなTFTで回路を形成した半導体回路を有する信頼性の高い半導体装置を実現することを課題とするものである。

【0010】

【課題を解決するための手段】上述した課題を解決するために、本発明に係る薄膜トランジスタは、チャネルが形成される半導体層にソース領域またはドレイン領域として機能するn型又はp型の第1の不純物領域のほか、チャネルと第1の不純物領域の間に2種類の第1の不純物領域と同じ導電型を示す不純物領域（第2、第3の不純物領域）を有する。これら第2、第3の不純物領域はその導電型を決める不純物濃度が第1の不純物領域よりも低く、高抵抗領域として機能する。

【0011】第2の不純物領域はゲート絶縁膜を介してゲート電極と重なった低濃度不純物領域であり、ホットキャリア耐性を高める作用を有する。他方、第3の不純物領域はゲート電極と重ならない低濃度不純物領域であり、オフ電流の増加を防ぐ作用を有する。

【0012】なお、ゲート電極とはゲート絶縁膜を挟んで半導体層と交差している電極であって、半導体層に電界を印可して空乏層を形成するための電極である。ゲート配線においては、ゲート絶縁膜を挟んで半導体層と交差している部分がゲート電極である。

【0013】更に、本発明において、ゲート電極は、ゲート電極周囲は中央の平坦部から外側に向かって、その膜厚が線形に減少する。第2の不純物領域にはゲート電極のテーパー部を通して、導電型を付与する不純物が添加されるため、その濃度勾配はゲート電極側面の傾斜（膜厚の変化）を反映することとなる。すなわち、第2の不純物領域へ添加される不純物濃度はチャネル形成領域から第1の領域に向かって増加することとなる。

【0014】本発明において、他のゲート電極の構成においては、ゲート絶縁膜に接する第1のゲート電極と、第1のゲート電極上に形成された第2のゲート電極が積層されている。この構成において、第1のゲート電極が側面がゲート絶縁膜となす角度は3度以上60度以下の範囲の値であるテーパー状となっている。他方、第2のゲート電極はチャネル長方向の幅が第1のゲート電極よりも狭くなっている。

【0015】上記の積層型のゲート電極を有する薄膜トランジスタにおいても、第2の不純物領域の不純物の濃度分布は第1のゲート電極の膜厚の変化を反映し、その不純物濃度はチャネル形成領域から第1の領域に向かっ

て増加することとなる。

【0016】本発明に係る薄膜トランジスタは、半導体層に2種類の低濃度不純物領域を有することで、MOSFETに匹敵する、さらにはそれ以上の信頼性を有する。

【0017】(本発明の薄膜トランジスタの利点) 図34を用いて、従来のTFTの特性と比較して、本発明の利点を説明する。

【0018】上述したように本発明は、第2不純物領域(ゲートオーバーラップ型のLDD領域)と第3不純物領域(非ゲートオーバーラップ型のLDD領域)という2種類の低濃度不純物を半導体層に形成することに特徴がある。

【0019】図34(A)、はLDD領域のないnチャネル型TFTの模式図であり、同図(B)その電気特性(ゲート電圧 $V_g$ 対ドレイン電流 $I_d$ 特性)である。同様に、図34(C)、(D)は通常のLDD構造の場合を示し、図34(E)、(F)はいわゆるGOLD構造の場合を示し、図34(G)、(H)には本発明のnチャネル型TFTの場合を示す。

【0020】なお、図面中において $n^+$ はソース領域またはドレイン領域を示し、channelはチャネル形成領域を示し、 $n^-$ は $n^+$ よりも不純物濃度が低い低濃度不純物領域を指す。また、 $I_d$ はドレイン電流、 $V_g$ はゲート電圧を示す。

【0021】図34(A)、(B)に示すようにLDDがない場合、オフ電流(TFTがオフ状態にある時のドレイン電流)は高く、オン電流(TFTがオン状態にある時のドレイン電流)やオフ電流が劣化しやすい。

【0022】一方非ゲートオーバーラップ型のLDDを形成することで、オフ電流はかなり抑えられ、オン電流もオフ電流も劣化が抑制できる。しかしながら、オン電流の劣化を完全に抑えられているわけではない。(図34(C)、(D))

【0023】LDD領域がゲート電極とオーバーラップしたオーバーラップ型のLDDのみを持つTFT構造(GOLD構造)(図34(E)、(F))であるが、この構造は従来のLDD構造においてオン電流の劣化を抑制することに重点を置いた構造となっている。

【0024】この場合、オン電流の劣化を十分に抑えることができる反面、通常の非オーバーラップ型のLDD構造よりもややオフ電流が高いという問題を持つ。従来例で述べた論文はこの構造を採用しており、本発明はこのオフ電流が高いという問題を認識した上で、解決するための構造を模索した結果である。

【0025】そして、本発明の構造は図34(G)、(H)に示すように、ゲート電極とオーバーラップさせたLDD領域(第2の不純物領域)と、ゲート電極とオーバーラップしないLDD領域(第3の不純物領域)を半導体層に形成した。この構造を採用することで、オン

電流の劣化を抑制する効果をそのままに、オフ電流を小さくすることが可能となった。

【0026】本出願人は図34(E)、(F)に示したような構造の場合に何故オフ電流が高くなってしまったかを次のように推測した。nチャネル型TFTがオフ状態にある時、ゲート電極にはマイナス数十ボルトといった負の電圧が印加される。その状態でドレイン領域にプラス数十ボルトの正の電圧がかかっていると、ゲート絶縁膜のドレイン側端部に非常に大きな電界が形成される。

【0027】この時、LDD領域にはホールが誘起されて、ドレイン領域、LDD領域、チャネル形成領域をつなぐ少数キャリアによる電流経路が形成されてしまう。この電流経路がオフ電流の増加を招くと予想される。

【0028】本出願人は、このような電流経路を途中で遮断するために、ゲート電極とオーバーラップしない位置に別の抵抗体、即ち第3の不純物領域LDD領域を形成する必要があると考えた。本発明はこのような構成を有する薄膜トランジスタと、この薄膜トランジスタを用いた回路に関するものである。

【0029】

【発明の実施の形態】図1～図7を用いて、本発明の実施形態を説明する。

【0030】[実施形態1] 本実施形態は本発明をTFTに適用したものである。図1～図4を用いて、本実施形態の作製工程を説明する。

【0031】まず、基板100全面に下地膜101を形成し、下地膜101上に、島状の半導体層102を形成する。半導体層102を覆って基板100全面に、ゲート絶縁膜となる絶縁膜103を形成する。(図1(A))

【0032】基板100には、ガラス基板、石英基板、結晶性ガラス基板、ステンレス基板ポリエチレンテレフタレート(PET)等の樹脂基板を用いることができる。

【0033】下地膜101は、半導体層102に基板からナトリウムイオンなどの不純物が拡散するのを防いだり、基板100上に形成される半導体膜の密着性を高めるための膜である。下地膜101には、酸化シリコン膜や、窒化シリコン膜、窒化酸化シリコン膜等の無機絶縁膜の単層又は多層膜が使用できる。

【0034】下地膜101の成膜方法はCVD法やスパッタ法だけでなく、石英基板のような耐熱性基板を用いた場合には、非晶質シリコン膜を成膜し熱酸化して、酸化シリコン膜を形成する方法を用いることもできる。

【0035】また、下地膜101には上記の無機絶縁膜だけでなく、タングステンシリサイドなどのシリサイド、クロム、チタン、窒化チタン、窒化アルミニウムなどの金属や合金などの導電性膜を下層に、上記無機絶縁膜を上層に積層した多層膜を下地膜として用いることも

できる。

【0036】半導体層102の材料や結晶性はTFTに求められる特性に合わせて適宜選択すればよい。非晶質シリコン、非晶質シリコンゲルマニウム、非晶質ゲルマニウム、又はこれら非晶質半導体膜をレーザ照射や加熱処理によって結晶化させた結晶性シリコン、結晶性ゲルマニウムや結晶性シリコンゲルマニウムを用いることができる。半導体層102の厚さは10～150nmとすればよい。

【0037】絶縁膜103はTFTのゲート絶縁膜を構成する膜であり、酸化シリコン、窒化シリコン、窒化酸化シリコンの無機絶縁膜の単層膜、多層膜である。例えば、積層膜とする場合には、窒化酸化シリコン膜と酸化シリコンの2層膜や、窒化シリコン膜を酸化シリコンで挟んだ積層膜などが用いられる。

【0038】絶縁膜103の成膜手段としてはプラズマCVD法、ECRCVD法など化学気相法(CVD)やスパッタ法等の物理気相法(PVD)を用いればよい。

【0039】絶縁膜103上には、ゲート電極(ゲート配線)を構成する第1の導電膜104、第2の導電膜105を形成する。(図1(B))

【0040】第1の導電膜104はテーパー部を有する第1のゲート電極(第1のゲート配線)108を構成する。このため、テーパーエッチングが容易にできる材料が望まれる。例えば、クロム(Cr)、タンタル(Ta)を主成分(組成比が50%以上)とする材料、リンを含有するn型のシリコンが代表的に用いられる。またチタン(Ti)、タングステン(W)、モリブデン(Mo)等を主成分とする材料を用いることができる。またこれらの材料の単層膜だけでなく、多層膜を用いることができ、例えば、タンタル膜を窒化タンタル(TaN)膜で挟んだ3層膜を用いることができる。

【0041】第2の導電膜105は第2のゲート電極(第2のゲート配線)109を構成する膜であり、アルミニウム(Al)、銅(Cu)、クロム(Cr)、タンタル(Ta)、チタン(Ti)、タングステン(W)、モリブデン(Mo)を主成分(組成比が50%以上)とする材料、リンを含有するn型のシリコン、シリサイド等の材料で形成することができる。ただし、第1の導電膜と第2の導電膜は互いのパターンニングにおいて、エッチング選択比のある材料を選択する必要がある。

【0042】例えば、第1の導電膜104/第2の導電膜105としては、n型Si/Ta、n型Si/Ta-Mo合金、Ta/Al、Ti/Al、WN/W、TaN/Ta等の組み合わせを選択することができる。また、材料の選択する他の指標として抵抗率が挙げられ、第2の導電膜105はできるだけ抵抗率の低い、少なくとも第1の導電膜104よりもシート抵抗が低い材料とすることが望まれる。これはゲート配線と上層配線とを接続させるために、第2のゲート配線と上層配線とでコンタク

トをとるためである。また、第1の導電膜104の厚さは10～400nm、第2の導電膜の厚さは10～400nmとし、膜厚の合計が200～500nmになるようにする。

【0043】次に、第2の導電膜105上にレジストマスク106を形成する。レジストマスク106を用いて第2の導電膜105をエッチングして第2のゲート電極109を形成する。エッチングには等方性のウェットエッチングを用いればよい。また、第1の導電膜104とエッチング選択比がとれる場合には、ドライエッチングを用いることもできる。(図1(C))

【0044】同じレジストマスク106を用いて、第1の導電膜104を異方性エッチング(いわゆるテーパーエッチング)して、第1のゲート電極(第1のゲート配線)108を形成する。なお、このエッチング用に新しいレジストマスクを形成することもできる。

【0045】このエッチングにより、図3に示すように、ゲート電極108の側面がゲート絶縁膜103となすテーパー角 $\theta$ は3度以上60度以下の範囲の値とされる。このテーパー角 $\theta$ は好ましくは5度以上45度以下の範囲、より好ましくは7度以上20度以下の範囲とする。角 $\theta$ が小さいほどゲート電極108のテーパー部の膜厚変化が小さくなり、これに対応して、半導体層のテーパー部と交差する部分において、n型又はp型の不純物濃度の変化を緩やかにすることができる。

【0046】図3に示すようにテーパー角 $\theta$ は、テーパー部の幅WG、厚さHGを用いて、 $\tan \theta = HG / WG$ と定義できる。

【0047】レジストマスク106を除去し、ゲート電極108、109をマスクにして半導体層102に所定の導電型(n型又はp型)の不純物を添加する。添加方法としては、イオン注入法、イオンドーピング法を用いることができる。n型の不純物はドナーとなる不純物であり、シリコン、ゲルマニウムに対しては15族元素であり、典型的にはリン(P)、砒素(As)である。p型の不純物はアクセプターとなる不純物であり、シリコン、ゲルマニウムに対しては13族元素であり、典型的にはボロン(B)である。

【0048】ここでは、リンをイオンドーピング法にて添加し、n<sup>-</sup>型の不純物領域111、112を形成する。この添加工程において、n<sup>-</sup>型の第2の不純物領域124、125、n<sup>-</sup>型の第3の不純物領域126、127におけるn型の不純物の濃度分布が決定される。本明細書でn<sup>-</sup>型とはn<sup>+</sup>型よりもドナーとなる不純物濃度が低く、シート抵抗が高いことを示している。(図2(A))

【0049】n<sup>-</sup>型の不純物領域111、112には第1のゲート電極108のテーパー部を通過させてリンを添加するため、その濃度勾配は図示の通り、第1のゲート電極108のテーパー部の膜厚の変化を反映する。即

ち、リンの深さ方向の濃度分布において、任意の濃度となる深さに注目した場合、その濃度勾配はゲート電極のテーパ部の傾斜を反映したプロファイルになる。

【0050】更に、後述するように、 $n^-$ 型の不純物領域111、112の濃度勾配はドーピング時の加速電圧にも依存する。本発明では、リンを第1のゲート電極108のテーパ部及び絶縁膜103を通過させるため、ドーピングの加速電圧は40～100keVと高めに設定する必要がある。また、この加速電圧であれば、ゲート電極108のテーパ部の厚さが100nm以下の部分をリンが通過することが可能である。

【0051】図2(A)では、 $n^-$ 型の不純物領域111、112において第1のゲート電極108とオーバーラップしている領域はハッチングと白地で示されているが、これは、白地部分にリンが添加されていないということを示すのではなく、上述したように、この領域のリンの濃度分布が第1のゲート電極108のテーパ部の膜厚を反映していることを直感的に理解できるようにしたためである。なお、このことは本明細書の他の図面においても同様である。

【0052】次にゲート電極108、109を覆ってレジストマスク120を形成する。このマスク120によって、第3の不純物領域の長さが決定される。レジストマスク120を介して、再びイオンドーピング法により $n$ 型の不純物であるリンを半導体層102に添加する。(図2(B))

【0053】レジストマスク120で覆われていない $n^-$ 型不純物領域111、112に選択的にリンが添加されて、 $n^+$ 型の第1の不純物領域122、123が形成される。また第2のゲート電極109で覆われていた領域121は図2(A)、(B)の添加工程でリンが添加されないため、チャネル形成領域となる。

【0054】また、 $n^-$ 型の不純物領域111、112において、図2(B)の添加工程でリンが添加されなかった領域は、ソース/ドレイン領域よりも高抵抗な低濃度不純物領域124～127となる。

【0055】第1のゲート電極108と重なっている(オーバーラップ)している低濃度不純物領域124、125は $n^-$ 型の第2の不純物領域となり、第1の電極108と重なっていない低濃度不純物領域は $n^-$ 型の第3の不純物領域126、127となる。

【0056】なお、図2(B)の添加工程に先立ってゲート配線をマスクにして、絶縁膜103をエッチングして、半導体層102表面を部分的に露出させても良い。

【0057】図4に示すように、第2の不純物領域124は4つのタイプに分類できる。これらを区別するため、図4を図4(A)～(D)に分け、121、124にA～Dを付した。なお、図4には図示されないが、ゲート電極109を挟んで対称的に形成されている他方の第2の不純物領域125も領域124と同様である。

【0058】図4(A)に示すように、第2の不純物領域124Aにおけるリンの濃度は第1のゲート電極108のテーパ部の膜厚の変化に対応して逆比例し、第3の不純物領域126Aからチャネル形成領域121Aに向かってほぼ線形的に減少している。即ち、第2の不純物領域124Aリンの濃度を深さ方向に平均化した場合、平均化されたリンの濃度はチャネル形成領域121Aから第3の不純物領域126Aに向かって増加する。

【0059】この場合、第3の不純物領域126Aにおいて、膜厚方向に平均化したリン濃度は領域126Aでほぼ均一になる。また、第2のゲート電極109に覆われている半導体層にはリンが全く添加されないため、この領域がチャネル形成領域121Aとなり、チャネル長 $L_A$ は第2のゲート電極109のチャネル長方向の幅になる。

【0060】また、図2(A)のリン添加工程で、図4(A)の場合よりも加速電圧を大きくした場合、図4(B)に示すように、第2の不純物領域124Bには、チャネル形成領域121Bとの接合部分にもリンが添加される。この場合も、チャネル形成領域121Bは第2のゲート電極109で覆われた領域であり、チャネル長 $L_B$ は第2のゲート電極109のチャネル長方向の幅になる。また、図4(A)と同じ加速電圧であっても、テーパ角が小さい場合やテーパ部の膜厚が薄い場合にも、第2の不純物領域124Bを形成することができる。

【0061】更に加速電圧を大きくした場合、図4(C)に示すように、第2の不純物領域124Cにおいて、膜厚方向に平均化したリン濃度を均一がすることもできる。この場合は、チャネル長 $L_C$ は第2のゲート電極109のチャネル長方向の幅になる。

【0062】また、図2(A)のリン添加工程で、図4(A)の場合よりも加速電圧を小さくした時には、図4(D)に示すように、リンは第1のゲート電極108のテーパ部の膜厚が薄い部分しか通過できないため、第2の不純物領域124Dは図4(A)よりも狭くなる。

【0063】第2の不純物領域124Dにおいて、深さ方向に平均化されたリンの濃度は図4(A)と同様に、第3の不純物領域126Dからチャネル形成領域121Dに向かって徐々に減少する。しかし図4(D)の場合には図4(A)と異なり、第2の不純物領域124Dとチャネル形成領域121Dとの接合部は第1のゲート電極108のテーパ部の下に存在する。このため、チャネル長 $L_D$ は第2のゲート電極109のチャネル長方向の幅よりも広くなる。

【0064】なお、図4(A)と同じ加速電圧であっても、テーパ角が大きい場合や、第1のゲート電極108の膜厚が厚い場合にも、図4(D)の第2の不純物領域124Dを形成することができる。

【0065】上述したようにプラズマドーピング法で不純物

を添加する場合、第1のゲート電極108のテーパ部において、厚さが100nm以下の部分を不純物が通過して、第2の不純物領域124を形成することが可能であるので、第1の導電膜104の厚さ（第1のゲート電極108の厚さが最大となる部分の厚さ）、及びテーパ角 $\theta$ を調節することにより、チャネル長、第2の不純物領域の長さを制御することが可能である。

【0066】ここで、第1不純物領域122、123の長さ（チャネル長方向）は2~20 $\mu\text{m}$ （代表的には3~10 $\mu\text{m}$ ）である。半導体層に導電性を与える不純物（この場合にはリンである）の濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{atoms/cm}^3$ （代表的には $1 \times 10^{20} \sim 5 \times 10^{20} \text{atoms/cm}^3$ ）である。この第1不純物領域122、123はソース配線又はドレイン配線とTFETとを電気的に接続させるための低抵抗領域であり、ソース領域又はドレイン領域となる。

【0067】また、第2不純物領域124、125の長さは0.1~1 $\mu\text{m}$ （代表的には0.1~0.5 $\mu\text{m}$ 、好ましくは0.1~0.2 $\mu\text{m}$ ）であり、リンの濃度は $1 \times 10^{15} \sim 1 \times 10^{17} \text{atoms/cm}^3$ （代表的には $5 \times 10^{15} \sim 5 \times 10^{16} \text{atoms/cm}^3$ 、好ましくは $1 \times 10^{16} \sim 2 \times 10^{16} \text{atoms/cm}^3$ ）であり、第1のゲート電極108を通して不純物が添加されるため、リンの濃度は第1、第3の不純物領域より低くなる。

【0068】また、第3不純物領域126、127の長さは0.5~2 $\mu\text{m}$ （代表的には1~1.5 $\mu\text{m}$ ）であり、リンの濃度は $1 \times 10^{16} \sim 1 \times 10^{19} \text{atoms/cm}^3$ （代表的には $1 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ 、好ましくは $5 \times 10^{17} \sim 1 \times 10^{18} \text{atoms/cm}^3$ ）である。

【0069】また、チャネル形成領域121は真性半導体層であり、第1の不純物領域に添加された不純物（リン）を含まない領域、又はボロンを $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ の濃度で含む領域である。ボロンはしきい値電圧の制御用やパルス防止用の不純物であり、同様の効果を生むものであれば他の元素で代用することもできる。その場合も濃度はボロンと同じにする。

【0070】なお、第1の不純物領域122、123と第2の不純物領域124、125の間に、ゲート電極と重ならない低濃度不純物領域（第3の不純物領域126、127）を1つ形成したが、この部分に、不純物濃度が互いに異なる不純物領域を2以上形成することもできる。本発明では、少なくとも第1の不純物領域122、123と第2の不純物領域124、125の間に、第1の不純物領域122、123よりも不純物（リン）濃度が低い不純物領域、即ち第1の不純物領域122、123よりも抵抗が高い不純物領域が少なくとも1つ存在すればよい。もちろん、この高抵抗な不純物領域（第3の不純物領域）がゲート電極に重ならないことも重要である。

【0071】第1の不純物領域122、123が形成し

たら、レジストマスク120を除去する。熱処理して、半導体層102に添加されたリンを活性化する。活性化工程には、熱処理だけでなくレーザや赤外ランプ光による光アニールを行うこともできる。

【0072】次に、酸化シリコン等である層間絶縁膜130を形成する。ゲート絶縁膜103、層間絶縁膜130に第1の不純物領域122、123、及び第2のゲート配線109に達するコンタクトホールを形成する。そして、ソース電極131、ドレイン電極132、及び図示しないゲート配線の取り出し電極を形成する。

【0073】[実施形態2] 図5、図6を用いて、本実施形態のTFETの作製工程について説明する。本実施形態は実施形態1の変形例であり、ゲート電極（ゲート配線）の構造を変形したものであり、他の主要構造は実施形態1と同様である。

【0074】実施形態1ではゲート電極は幅の異なる2つのゲート電極が積層された構造であったが、本実施形態は上部の第2の電極を省略し、テーパ部を有する第1のゲート電極のみでゲート電極を形成する。

【0075】まず、基板140全面に下地膜141を形成し、下地膜141上に、島状の半導体層142を形成する。半導体層142を覆って基板140全面に、ゲート絶縁膜となる絶縁膜143を形成する。（図5

(A)）

【0076】ゲート絶縁膜143上にゲート電極（ゲート配線）を構成する導電膜144を形成する。この導電膜144は、テーパエッチングが容易にできる材料が望まれる。例えば、クロム（Cr）、タンタル（Ta）を主成分（組成比が50%以上）とする材料、リンを含有するn型のシリコンが代表的に用いられる。またチタン（Ti）、タングステン（W）、モリブデン（Mo）等を主成分とする材料を用いることができる。またこれらの材料の単層膜だけでなく、多層膜を用いることができ、例えば、タンタル膜を窒化タンタル（Ta<sub>2</sub>N）膜で挟んだ3層膜を用いることができる。導電膜144の厚さは200~500nmとする。（図5（B））

【0077】次に、導電膜144上にレジストマスク145を形成する。マスク145を用いて導電膜144をエッチングしてゲート電極（ゲート配線）146を形成する。（図5（C））

【0078】このエッチングにより、図3に示すように、ゲート電極146の側面がゲート絶縁膜となすテーパ角 $\theta$ は3度以上60度以下の範囲の値とされる。このテーパ角 $\theta$ は好ましくは5度以上45度以下、より好ましくは7度以上20度以下とする。

【0079】レジストマスク145が存在する状態で、半導体層142に所定の導電型（n型又はp型）の不純物を添加する。ここでは、リンをイオンドーピング法にて添加し、n<sup>-</sup>型の不純物領域148、149を形成する。この添加工程において、n<sup>-</sup>型の第2の不純物領域



154、155、 $n^-$ 型の第3の不純物領域156、157の濃度分布が決定される。また、後述するがレジストマスク145で覆われている領域は、チャンネル形成領域151となる。(図6(A))

【0080】第2のゲート電極が存在しないため、この添加工程には、半導体層142のチャンネルが形成される領域にリンが添加されるのを防ぐためのマスクが必要である。このようなマスクとして導電膜144のエッチングに用いたレジストマスク145を用いたが、不純物添加用に新たに形成することもできる。

【0081】次に、レジストマスク145を除去し、ゲート電極146を覆ってレジストマスク150を形成する。レジストマスク150を介して、再びイオンドーピング法により $n$ 型の不純物であるリンを半導体層142に添加するため、レジストマスク150によって、第3の不純物領域の長さが決定される。なおこの添加工程に先立って、ゲート配線146をマスクにして絶縁膜143をエッチングして、半導体層142表面を露出させても良い。(図6(B))

【0082】図6(B)に示すように、レジストマスク150で覆われていない $n^-$ 型不純物領域148、149に選択的にリンが添加されて、 $n^+$ 型の第1の不純物領域152、153が形成される。

【0083】またレジストマスク150で覆われていた領域は導電型、抵抗値が図6(A)の状態が保たれる。よって、先にレジストマスク145で覆われていた領域151はチャンネル形成領域となる。ゲート電極146と重なっている(オーバーラップ)領域は、 $n^-$ 型の第2の不純物領域154、155となり、ゲート電極146と重なっていない領域は $n^-$ 型の第3の不純物領域156、157となる。第2、第3の不純物領域154~157は第1の不純物領域152、153よりも高抵抗な低濃度不純物領域である。

【0084】本実施形態でも、実施形態1と同様に第2の不純物領域154、155は図4に示した4つのタイプに分類できる。また、チャンネル形成領域151、第1~第3の不純物領域152~157について、チャンネル長方向の長さや不純物濃度は実施形態1と同様である。ただし、チャンネル長は実施形態1の第2のゲート電極109に代わって、本実施形態では図6(A)の添加工程に用いたレジストマスク145で決定される。

【0085】実施形態1のゲート電極は形状の異なる電極の積層構造であるため、第1のゲート電極108の厚さを薄くしても、第2のゲート電極109を厚くすることで低抵抗化が可能であるが、本実施形態のゲート電極146はテーパー部を有する単層電極であるため、その膜厚は第1のゲート電極108よりも厚くなってしまう。

【0086】ゲート電極幅を考慮するとテーパー部の幅WG(図3参照)の長さに限度があるので、第2の不純物

領域154、155の不純物の濃度分布は図4(D)に示すタイプとするのが最も実用的である。

【0087】なお、第1の不純物領域152、153と第2の不純物領域154、155の間に、ゲート電極と重ならない低濃度不純物領域(第3の不純物領域156、157)を1つ形成したが、この部分に、不純物濃度が互い異なるような不純物領域を2以上の形成しても良い。本発明では、少なくとも第1の不純物領域152、153と第2の不純物領域154、155の間に、第1の不純物領域152、153よりも不純物(リン)濃度が低く、抵抗が高い不純物領域が少なくとも1つ存在すればよい。

【0088】第1の不純物領域152、153を形成した後レジストマスク150を除去する。熱処理して、半導体層142に添加されたリンを活性化する。活性化工程には、熱処理だけでなくレーザや、赤外ランプ光による光アニールを行うこともできる。ただし、第2の不純物領域154、155内のリンを活性化するには、ゲート電極146と重なっているため、必ず熱処理が必要である。

【0089】次に、酸化シリコン等なる層間絶縁膜158を形成する。ゲート絶縁膜143、層間絶縁膜158に第1の不純物領域152、153、ゲート配線146に達するコンタクトホールを形成する。そして、ソース電極159、ドレイン電極160、及び図示しないゲート配線146の取り出し電極を形成する。

【0090】[実施形態3] 図7を用いて、本実施形態のTFTの作製工程について説明する。本実施形態も実施形態1の変形例であり、ゲート電極(ゲート配線)の構造の変形したものであり、他の主要構造は実施形態1と同様である。なお図7において、図1、図2と同じ符号は同じ構成要素を示している。

【0091】本実施形態のゲート電極は実施形態1と同様に、第1のゲート電極168と第2のゲート電極169が積層した構造であるが、第1のゲート電極168の側面をテーパー状にしない例であり、本実施形態では第1のゲート電極168が第2のゲート電極169側面から外側に延びている部分でも膜厚がほぼ一定になっている。

【0092】半導体層には、実施形態1と同様のリンの添加を経て、チャンネル形成領域161、 $n^+$ 型の第1の不純物領域162、163、 $n^-$ 型の第2の不純物領域164、165、 $n^-$ 型の第3の不純物領域166、167が形成される。

【0093】本実施形態では、第1のゲート電極168の膜厚は一定とされるため、第2の不純物領域164、165では不純物濃度に勾配がほとんどない。

【0094】[実施形態4] 本実施形態は、実施形態1及び実施形態2の変形例である。実施形態1、2ではゲート電極のテーパー部での厚さはほぼ線形に変化して

いる。本実施形態では、テーパー部の厚さを非線形に変化させたものである。

【0095】図8に実施形態1のTFTの変形例を示す。図8において図2と同じ符号は同じ構成要素を示す。図8に示すように、第1のゲート電極170（ゲート配線）のテーパー部の厚さは非線形に変化されている。半導体層には、実施形態1と同様のリンの添加を経て、チャネル形成領域171、 $n^+$ 型の第1の不純物領域172、173、 $n^-$ 型の第2の不純物領域174、175、 $n^-$ 型の第3の不純物領域176、177が形成される。

【0096】図9に実施形態2のTFTの変形例を示す。図9において図6と同じ符号は同じ構成要素を示す。図9に示すように、ゲート電極180（配線）のテーパー部の厚さは非線形に変化している。半導体層には、実施形態1と同様のリンの添加を経て、チャネル形成領域181、 $n^+$ 型の第1の不純物領域182、183、 $n^-$ 型の第2の不純物領域184、185、 $n^-$ 型の第3の不純物領域186、187が形成される。

【0097】図8、図9の断面図が示すように、ゲート電極170、180は膜厚が一定の部分から若干端にずれた部分で厚さがごく薄くなるようにして、ドナーやアクセプターとなる不純物をゲート電極170、180を通過しやすくした。

【0098】図示したようなテーパー部をゲート電極170、180に形成するには、異方性エッチングと等方性エッチングを組み合わせ、導電膜をエッチングすればよい。

【0099】なお、実施形態1～4に記載のTFTの構成は、以下に示す本発明の全ての実施例に適用できるのは、いうまでもない。

【0100】

【実施例】 以下、図面を用いて本発明の実施例を詳細に説明する。

【0101】【実施例1】 本実施例は本発明をアクティブマトリクス型の液晶表示装置に適用した例を説明する。

【0102】図10は本実施例のアクティブマトリクス型液晶パネルの概略の構成図である。液晶パネルは、アクティブマトリクス基板と対向基板との間に液晶が挟まれた構造を有し、アクティブマトリクス基板と対向基板に形成された電極により、映像データに対応した電圧を液晶に印加することで、パネルに映像を表示することができる。

【0103】アクティブマトリクス基板200は、ガラス基板300上にTFTをスイッチング素子に用いた画素部202、画素部202を駆動するためのゲートドライバ回路203及びソースドライバ回路204が形成されている。ドライバ回路203、204はそれぞれソース配線、ドレイン配線によって画素部202に接続され

ている。

【0104】更に、ガラス基板300上には、ドライバ回路203、204に入力される信号を処理する信号処理回路205が形成され、さらにドライバ回路203、204、信号処理回路205へ電力や制御信号を入力するための外部端子が形成され、この外部端子にFPC206が接続されている。

【0105】対向基板210においては、ガラス基板全面にITO膜等の透明導電膜が形成されている。透明導電膜は画素部202の画素電極に対する対向電極であり、画素電極、対向電極間の電界強度を変化することによって液晶材料の配向が変化され、階調表示が可能になる。更に、対向基板210には必要であれば配向膜や、カラーフィルタが形成されている。

【0106】図11(A)は画素部の一画素の等価回路であり、図11(B)は画素部202の上面図である。図11(C)はドライバ回路203、204を構成するCMOS回路の上面図である。

【0107】図12はアクティブマトリクス基板の断面図である。図12(A)は画素部202の断面図であり、図11(B)の鎖線X-X'に沿った断面に対応する。図12(B)はCMOS回路の断面図であり、図11(C)の鎖線Y-Y'に沿った断面に対応する。図12に示すように、画素TFT及びCMOS回路の薄膜トランジスタは同一のガラス基板300上に同時に作製される。

【0108】画素部202において、ゲート配線350が行ごとに形成され、ソース配線380が列ごとに形成されている。ゲート配線350、ソース配線380の交差部近傍には、画素TFT220が形成されている。画素TFT220のソース領域にはソース配線380に接続され、ドレイン領域には液晶セル240、保持容量230という2つのコンデンサーが接続されている。

【0109】液晶セル240は画素電極390と対向基板210の透明電極を電極対に、液晶を誘電体とするコンデンサーであり、画素電極390によって画素TFT220に電気的に接続されている。保持容量230は、共通配線360と、画素TFT220の半導体層に形成されるチャネル領域を電極対に、ゲート絶縁膜を誘電体とするコンデンサである。

【0110】図13～図16を用いて、本実施例のアクティブマトリクス基板の作製工程を説明する。図13、図14は画素部の作製工程を示す断面図であり、図15、図16はCMOS回路の作製工程を示す断面図である。

【0111】ガラス基板300を用意する。本実施例ではコーニング社製1737ガラス基板を用いる。ガラス基板300表面に接して、プラズマCVD法でTEOSガスを原料に厚さ200nmの酸化シリコン膜を下地膜301として形成する。そして、下地膜301を40



0℃、4時間加熱する。

【0112】下地膜301上にPECVD法により $H_2$ ガスで希釈した $SiH_4$ を用いて、厚さ500nmの非晶質シリコン膜を成膜する。次に、非晶質シリコン膜を450℃、1時間加熱して水素出し処理をする。非晶質シリコン膜内の水素原子は5原子%以下、好ましくは1%以下とする。水素出し処理後の非晶質シリコン膜にエキシマレーザ光を照射して結晶性(多結晶)シリコン膜401を形成する。レーザ結晶化の条件は、レーザ光源としてXeClエキシマレーザを用い、光学系によりレーザ光を線状に整形し、パルス周波数を30Hz、オーバーラップ率を96%、レーザエネルギー密度を359mJ/cm<sup>2</sup>とする。(図13(A)、図15(A))

【0113】非晶質シリコン膜の成膜方法はPECVD法の他に、LPCVD法やスパッタ法を用いることができる。また、非晶質シリコンを結晶化させるレーザにはエキシマレーザのようなパルス発振型その他、Arレーザのような連続発振型のレーザを用いても良い。また、レーザ結晶化の代わりにハロゲンランプや水銀ランプを用いるランプアニール工程、あるいは600℃以上の加熱処理工程を用いることもできる。

【0114】次に、フォトリソ工程用いて図示しないフォトレジストパターンを形成し、このフォトレジストパターンを用いて結晶性シリコン膜401を島状にパターニングして、半導体層302、303、304を形成する。半導体層302、303、304を覆って、ゲート絶縁膜305として、窒化酸化シリコンを成膜する。成膜方法はPECVDとし、原料ガスに $SiH_4$ と $NO_2$ を用いた。窒化酸化シリコン膜の厚さは120nmとする。(図13(B)、図15(B))

【0115】ゲート絶縁膜305上にリンを含有するn型のシリコン膜402、モリブデンタングステン合金(Mo-W)膜403の積層膜をスパッタ法で成膜する。シリコン膜402の厚さは200nmとし、Mo-W膜403の厚さは250nmとする。Mo-W膜403のターゲット材料はMoとWの組成比を1:1とした。(図13(C)、図15(C))

【0116】Mo-W膜403上にレジストマスク405を形成する。レジストマスク405を用いてMo-W膜403をウェットエッチングし、画素TFTのゲート配線、共通配線、CMOS回路のゲート配線の一部配線である第2のゲート配線352、第2の共通配線362、第2のゲート配線372を形成する。(図13(D)、図15(D))

【0117】再度レジストマスク405を用いて、塩素系のガスを用いた異方性エッチングを行い、n型シリコン膜402をエッチングし、第1のゲート配線351、第2の共通配線361、第1のゲート配線371を形成する。このとき各配線351、361、371の側面がゲート絶縁膜305となす角(テーパ角) $\theta$ が20度

になるようにし、側部にテーパ部を形成する。(図13(E)、図15(E))

【0118】レジストマスク405を除去した後、配線350、360、370をマスクにして、イオンドーピング法により半導体層302~304にリンを添加し、n<sup>-</sup>型領域406~413を自己整合的に形成する。このリンの添加工程では、第1の電極351、361、371のテーパ部(第2の電極352、362、372の側面よりも外側にある部分)とゲート絶縁膜305を通過させて、リンを添加するため、加速電圧を高めにし、90KeVとする。

【0119】n<sup>-</sup>型の不純物領域406~413のリン濃度が最終的なTFTのn<sup>-</sup>型の低濃度不純物領域のリン濃度を決定するため、ドーズ量は低濃度とし、n<sup>-</sup>型不純物領域406~413において、電極350、360、370と交差していない領域のリンの濃度が $1 \times 10^{18}$ atoms/cm<sup>3</sup>となるようにした。ドーピングガスには水素で希釈したホスフィンを用いる。

【0120】次に、電極350、360、370を覆うレジストマスク415を形成する。レジストマスク415が各電極の第1の電極351、361、371の側面よりも外側に延びた長さによって、第1の電極351、361、371とオーバーラップしないn<sup>-</sup>型の低濃度不純物領域の長さが決定される。ここでは、CMOS回路の半導体層304上にはレジストマスクを形成しない。

【0121】レジストマスク415を用いて、イオンドーピング法によりリンを添加する。この添加工程においても、水素で希釈したホスフィンをドーピングガスに用いた。また、リンがゲート絶縁膜305を通過できるようにするため、加速電圧は80keVと高めに設定し、この工程で形成されるn<sup>+</sup>型の不純物領域313~315、332、333、421、422のリンの濃度が $5 \times 10^{20}$ atoms/cm<sup>3</sup>となるようにドーズ量を設定した。

【0122】画素部202において、半導体層302のn<sup>-</sup>型の不純物領域406~409にリンが選択的に添加され、n<sup>+</sup>型の不純物領域313~315が形成される。n<sup>-</sup>型の不純物領域406~409でリンが添加されなかった領域は高抵抗領域として機能し、第1のゲート電極351、第1の共通電極と重なっているn<sup>-</sup>型不純物領域316~319と326、327と、第1のゲート電極351、第1の共通電極361と重なっていないn<sup>-</sup>型不純物領域320~323、328として画定する。更に、2回のリン添加工程でリンが添加されなかった領域311、312、325がチャネル形成領域として画定する。(図14(A))

【0123】n<sup>-</sup>型不純物領域316~319はリンの濃度がn<sup>-</sup>型不純物領域320~323より低く、またリンの濃度はn<sup>-</sup>型不純物領域320~323からチャネル形成領域311、312に向かって低くなってい

る。

【0124】CMOS回路において、 $n$ チャネル型TFTの半導体層303の $n^-$ 型不純物領域410、411にもリンが選択的に添加され、 $n^+$ 型の不純物領域322、323が形成される。他方、 $n^-$ 型の不純物領域410、411において、リンが添加されなかった領域は高抵抗領域として機能し、第1のゲート電極371と重なっている $n^-$ 型不純物領域334、335と、第1のゲート電極371と重なっていない $n^-$ 型不純物領域336、337として画定する。2回のリン添加工程でリンが添加されなかった領域331はチャネル形成領域として画定する。

【0125】 $n^-$ 型不純物領域334、335はリンの濃度が $n^-$ 型不純物領域336、337より低く、またリンの濃度は $n^-$ 型不純物領域336、337からチャネル形成領域331に向かって低くなっている。

【0126】また、 $p$ チャネル型TFTの半導体層304においては、ゲート電極370が上に存在する部分にはリンがほとんど添加されず、ゲート電極370がその上部に存在しない部分に $n^+$ 型領域421、422が形成され、第1のゲート電極371の下部には $n^-$ 型の不純物領域が残存する。(図16(A))

【0127】レジストマスク415を除去した後、 $n$ チャネル型TFTを覆うレジストマスク416を形成する。 $p$ チャネル型TFTの第2のゲート電極372をマスクにして、半導体層304側の第1のゲート電極371をエッチングによって細らせ、第3のゲート電極373を形成する。(図14(B)、図16(B))

【0128】第3のゲート電極373の側面がゲート絶縁膜305となすテーパー角 $\theta$ が75度となった。この第3の電極373のテーパー角は60度以上90度以下の範囲とし、より好ましくは70度以上85度以下の範囲とする。

【0129】レジストマスク416を残存させた状態で、半導体層304にボロンとイオンドーピング法で添加する。ゲート電極372、373がマスクとして機能して、チャネル形成領域341、 $p^+$ 型不純物領域342、343、 $p^+$ 型不純物領域344、345が自己整合的に形成される。なお、レジストマスク416を除去し、別途新しいレジストマスクを形成しても良い。(図14(C)、図16(C))

【0130】ボロンの添加工程では、加速電圧を80keVに設定し、ドーピング量は $p^+$ 型不純物領域342～345のボロン濃度が $3 \times 10^{21} \text{ atoms/cm}^3$ となるように設定した。ドーピングガスには水素で希釈したジボランを用いたことで、 $p^+$ 型不純物領域344、345は $p^+$ 型不純物領域342、343とボロン濃度は同じであるが、リン濃度が低くなっている。 $p^+$ 型不純物領域344、345の濃度分布は第1のゲート電極371のテーパー部の膜厚変化に対応し、チャネル形成領域341

に向かって低くなっている。

【0131】レジストマスク416を除去した後、500℃で加熱して半導体層に添加したリン、ボロンを活性化する。加熱処理に先立って、ゲート配線350、共通電極360、ゲート配線370の酸化を防止するために、厚さ50nmの酸化シリコンでなる保護膜306を形成する。(図14(C)、図16(C))

【0132】次に、層間絶縁膜307として、PECVD法で厚さ20nmの窒化シリコン膜、厚さ900nmの酸化シリコン膜を積層して成膜する。層間絶縁膜307、保護膜306、ゲート絶縁膜305に $n^+$ 型不純物領域313～315、 $n^+$ 型不純物領域332、333、 $p^+$ 型不純物領域342、343及び第2のゲート配線372に達するコンタクトホールを形成する。

【0133】層間絶縁膜307上にチタン(150nm)/アルミニウム(500nm)/チタン(100nm)でなる積層膜をスパッタ法で成膜し、パターニングして、ソース配線380、ドレイン電極381、ソース電極384、385、ドレイン電極386を形成する。以上により、CMOS回路で主に構成される回路203～205と、画素TFT220、保持容量230が設けられた画素部202が同一のガラス基板300上に作製される。(図14(E)、図16(E))

【0134】アクティブマトリクス基板を完成するには、更に、基板300全面に平坦化膜308を形成する。ここでは、アクリルをスピンコート法で塗布し、焼成して厚さ1 $\mu\text{m}$ のアクリル膜を形成する。平坦化膜308にCMOS回路のソース電極384、385及に対するコンタクトホールを開口する。スパッタ法によって厚さ200nmのチタンを成膜しパターニングしてソース配線387、388を形成する。

【0135】次に、第1の平坦化膜308と同様にし、厚さ0.5 $\mu\text{m}$ のアクリルを第2の平坦化膜309として形成する。平坦化膜308、309にドレイン電極381に対するコンタクトホールを形成する。スパッタ法でITO膜を成膜し、パターニングして、ドレイン電極381に接続された画素電極390を形成する。

(図12(A)、(B))

【0136】本実施例では $p$ チャネル型TFTに対して高抵抗領域として機能する低濃度不純物領域を形成していないが、 $p$ チャネル型TFTは元来高抵抗領域がなくとも、信頼性が高いので問題はなく、かえって高抵抗領域形成しないほうがオン電流を稼ぐことができ、 $n$ チャネル型TFTとの特性との釣り合いがとれ、都合が良い。

【0137】[実施例2] 本実施例は実施例1の変形例であり、リンとボロンの添加工程の順序を変えたものであり、他は実施例1と同様である。図17を用いて本実施例の作製工程を説明する。また図17において、図15、図16と同じ符号は同じ構成要素を示す。

【0138】実施例1では、リンを半導体層に添加してから、ボロンを添加したが、本実施例ではボロンを先に添加する。

【0139】本実施例ではCMOS回路の作製工程を説明するが、実施例のように画素部とドライバ回路が一体化したアクティブマトリクス基板の作製工程に本実施例を適用できるのはいうまでもない。

【0140】実施例1で示した工程に従って図15(E)の構成を得る。次にレジストマスク405を除去する。図17(A)にこの状態を示す。

【0141】次に、nチャネル型TFTを覆うレジストマスク451を形成する。レジストマスク451を用いて、半導体層304にボロンをイオンドーピング法で添加する。ゲート電極371、372がマスクとして機能し、半導体層304にチャネル形成領域501、ソース領域、ドレイン領域として機能する $p^+$ 型不純物領域502、503が自己整合的に形成される。

【0142】加速電圧は80keVとし、ドーズ量は $p^+$ 型不純物領域502、503のボロン濃度が $3 \times 10^{20} \text{atoms/cm}^3$ となるように設定した。ここで、 $p^+$ 型不純物領域502、503はドーピング時のボロンの回り込み、ゲート電極370側部の膜厚が薄いため、下部にも若干重なっていると予想される。(図17(B))

【0143】レジストマスク451を除去した後、pチャネル型TFTを覆うレジストマスク452を形成する。そして、イオンドーピング法により半導体層303にリンを添加し、 $n^-$ 型の低濃度不純物領域453、454を自己整合的に形成する。加速電圧は90keVとし、ドーズ量は $n^-$ 型不純物領域453、454のリン濃度が $1 \times 10^{18} \text{atoms/cm}^3$ となるように設定した。また、ドーピングガスには水素で希釈したホスフィンを用いる。(図17(C))

【0144】次に、レジストマスク452を除去して、新たにpチャネル型TFT全体と、nチャネル型TFTを部分的に覆うレジストマスク456を形成する。nチャネル型TFTにおいて、マスク456が第1のゲート電極371の側面よりも外側に延びた長さが、第1のゲート電極371とオーバーラップしない $n^-$ 型不純物領域の長さを決定する。

【0145】レジストマスク456を用いてイオンドーピング法によりリンを添加する。この添加工程においても、ドーピングガスには水素で希釈したホスフィンを用いた。

【0146】CMOS回路において、nチャネル型TFTの半導体層303の $n^-$ 型不純物領域453、454にリンが選択的に添加され、 $n^+$ 型の不純物領域512、513が形成される。この工程では、リンをゲート絶縁膜305を通過させるため、加速電圧は80keVと高めにする。また $n^+$ 型不純物領域512、513のリンの濃度が $5 \times 10^{20} \text{atoms/cm}^3$ となるようにドーズ

量を設定した。

【0147】他方、 $n^-$ 型の不純物領域453、454において、リンが添加されなかった領域は高抵抗領域として機能し、第1のゲート電極371と重なっている $n^-$ 型不純物領域514、515と、第1のゲート電極371と重なっていない $n^-$ 型不純物領域516、517として画定する。また2回のリン添加工程でリンが添加されなかった領域511はチャネル形成領域として画定する。(図17(D))

【0148】本実施例でもゲート電極371と重なっている $n^-$ 型不純物領域514、515は、リン濃度が $n^-$ 型不純物領域516、517(及び $n^+$ 型不純物領域512、513)よりも低く、またリンの濃度はチャネル形成領域511に向かって低くなっている。

【0149】レジストマスク456を除去した後、厚さ50nmでなる酸化シリコンでなる保護膜306を形成し、加熱処理して半導体層に添加したリン、ボロンを活性化する。層間絶縁膜307を形成し、コンタクトホールを開口して、ソース電極384、385、ドレイン電極386を形成する。以上により、CMOS回路が作製される。(図17(E))

【0150】本実施例では、pチャネル型TFTの第1のゲート電極を細らせる工程を省略することができる。なお、図17(B)のボロンの添加工程を行う前に、pチャネル型TFTの第1のゲート電極371を第2のゲート電極372をマスクにしてエッチングして、第3のゲート電極373を形成する工程を追加することもできる。

【0151】[実施例3] 本実施例も実施例2と同様に、リン、ボロンの添加工程の順序を変えた作製工程を説明する。図18を用いて本実施例の作製工程を説明する。また図18において、図15、図16と同じ符号は同じ構成要素を示す。

【0152】また、本実施例は実施例2の変形例にも対応する。実施例2では、nチャネル型TFTを作製するのに、リンを低濃度で添加した後、ボロンを添加するようにしたが、本実施例では先にボロンを高濃度に添加するようにした例である。

【0153】実施例1で示した工程に従って図15(E)の構成を得る。次にレジストマスク405を除去する。図18(A)にこの状態を示す。

【0154】次に、nチャネル型TFTを覆うレジストマスク600を形成する。レジストマスク600を用いて、半導体層304にボロンをイオンドーピング法で添加する。ゲート電極371、372がマスクとして機能し、半導体層304にチャネル形成領域601、ソース領域、ドレイン領域として機能する $p^+$ 型不純物領域602、603が自己整合的に形成される。ドーピングの加速電圧は80keVとし、ドーズ量は $p^+$ 型不純物領域602、603のボロン濃度が $2 \times 10^{20} \text{atoms/cm}^3$

となるように設定した。

【0155】pチャネル型TFT全体と、nチャネル型TFTを部分的に覆うレジストマスク605を形成する。レジストマスク605を用いて、イオンドーピング法によりリンを添加する。この添加工程においても、水素で希釈したホスフィンを用いて、ドーピングガスに用いた。nチャネル型TFTの半導体層303にリンが選択的に添加され、 $n^+$ 型の不純物領域606、607が形成され、更に、この工程では、リンをゲート絶縁膜305を通過させるため、加速電圧は80keVと高めにする。

(図18(C))

【0156】レジストマスク605を除去した後、pチャネル型TFTを覆うレジストマスク608を形成する。そして、イオンドーピング法により半導体層303にリンを添加する。ゲート電極370がマスクとして機能し、チャネル形成領域611、 $n^-$ 型不純物領域614、615、 $n^-$ 型不純物領域616、617が自己整合的に形成される。

【0157】 $n^+$ 型不純物領域612、613はソース／ドレイン領域として機能し、リンの濃度が $5 \times 10^{20}$  atoms/cm<sup>3</sup>となるようにして低抵抗化する。 $n^-$ 型不純物領域614～617は $n^+$ 型不純物領域612、613よりもリン濃度を低くし、高抵抗化する。第1のゲート電極371と重なっていない $n^-$ 型不純物領域616、617のリン濃度を $1 \times 10^{18}$  atoms/cm<sup>3</sup>とする。

(図18(D))

【0158】レジストマスク608を除去した後、厚さ50nmの酸化シリコンでなる保護膜306を形成し、加熱処理して半導体層に添加したリン、ボロンを活性化する。層間絶縁膜307を形成し、コンタクトホールを開口して、ソース電極384、385及びドレイン電極386を形成する。以上により、CMOS回路が作製される。(図18(E))

【0159】本実施例では、リンの添加工程において、pチャネル型TFTを覆うレジストマスク605、608を形成したが、これらのレジストマスク605又は／及び608を省略することもできる。この場合は、 $p^+$ 型の不純物領域602、603にリンが添加されるため、添加されるリン濃度をみこして、ボロンを多く添加する必要がある。

【0160】〔実施例4〕 本実施例も実施例1の変形例であり、リンとボロンの添加工程の順序を変えたものであり、主要な構成は実施例1と同様である。

【0161】図19を用いて本実施例の作製工程を説明する。図19において、図15、16と同じ符号は同じ構成要素を示す。

【0162】実施例1で示した工程に従って図15

(E)の構成を得る。次にレジストマスク405を除去する。そして、ゲート配線370において、nチャネル型TFTのゲート電極として機能する部分を少なくとも

覆うレジストマスクを形成し、第2のゲート電極(配線)372をエッチングマスクに用いて、第1のゲート電極(配線)371をエッチングして、第3のゲート電極(配線)を形成する。

【0163】即ち、少なくとも、第1のゲート配線371において、pチャネル型TFTの半導体層304と重なる部分の幅を細らせて、第3のゲート電極373を形成する。(図19(A))

【0164】イオンドーピング法により半導体層303、304にリンを低濃度に添加する。第1～第3のゲート電極371～373がマスクとして機能し、 $n^-$ 型領域621～624が自己整合的に形成される。(図19(B))

【0165】次に、nチャネル型TFTを覆うレジストマスク630を形成する。レジストマスク630を用いて、半導体層304にボロンをイオンドーピング法で高濃度に添加する。第1、第3のゲート電極371、373がマスクとして機能し、半導体層304にチャネル形成領域631、ソース領域、ドレイン領域として機能する $p^+$ 型不純物領域632、633が自己整合的に形成される。(図19(C))

【0166】次に、レジストマスク630を除去して、新たにpチャネル型TFT全体と、nチャネル型TFTを部分的に覆うレジストマスク640を形成する。レジストマスク640を用いて、イオンドーピング法によりリンを高濃度に添加する。nチャネル型TFTの半導体層303の $n^-$ 型不純物領域621、622にリンが選択的に添加され、 $n^+$ 型の不純物領域642、643が形成される。更に、レジストマスク640で覆われている領域は、チャネル形成領域641、第1のゲート電極371と重なっている $n^-$ 型不純物領域644、645と、第1のゲート電極371と重なっていない $n^-$ 型不純物領域646、647として画定する。(図19

(D))

【0167】本実施例でもゲート電極371と重なっている $n^-$ 型不純物領域644、645は、リン濃度が $n^-$ 型不純物領域646、647(及び $n^+$ 型不純物領域642、643)よりも低く、またリンの濃度はチャネル形成領域641に向かって低くなっている。

【0168】レジストマスク640を除去した後、厚さ50nmでなる酸化シリコンでなる保護膜306を形成し、加熱処理して半導体層に添加したリン、ボロンを活性化する。層間絶縁膜307を形成し、コンタクトホールを開口して、ソース電極384、385、ドレイン電極386を形成する。以上により、CMOS回路が作製される。(図19(E))

【0169】また、本実施例では、pチャネル型TFTの第1のゲート電極の幅を細らせたが、この工程を省略することもできる。

【0170】本実施例では、リンの添加工程において、

pチャネル型TFTを覆うレジストマスク630、640を形成したが、これらのレジストマスク630又は/及び640を省略することもできる。この場合は、 $p^+$ 型の不純物領域632、633にリンが添加されるため、添加されるリン濃度をみこして、ボロンを多く添加する必要がある。

【0171】[実施例5] 本実施例は実施例1の変形例であり、リンとボロンの添加工程の順序を変えたものである。主要な構成は実施例1と同様である。

【0172】図20を用いて本実施例の作製工程を説明する。図20において、図15、図16と同じ符号は同じ構成要素を示す。

【0173】また、本実施例は実施例4の変形例に対応し、実施例4と同様にpチャネル型TFTの第1のゲート電極を細らせて、第3のゲート電極373を形成する。(図20(A))

【0174】次に、pチャネル型TFT全体と、nチャネル型TFTを部分的に覆うレジストマスク650を形成する。レジストマスク650を用いて、イオンドーピング法によりリンを高濃度に添加し、n型領域651、652を形成する。(図20(B))

【0175】次に、nチャネル型TFTを覆うレジストマスク660を形成する。レジストマスク660を用いて、半導体層304にボロンをイオンドーピング法で高濃度に添加する。第1、第3のゲート電極371、373がマスクとして機能し、半導体層304にチャンネル形成領域661、ソース領域、ドレイン領域として機能する $p^+$ 型不純物領域662、663が自己整合的に形成される。(図20(C))

【0176】次に、レジストマスク660を除去して、新たにpチャネル型TFT全体を覆うレジストマスク670を形成する。イオンドーピング法によりリンを低濃度に添加し、またリンが第1のゲート電極371のテーパー部を通過するように加速電圧を90keVと高めに設定する。

【0177】この結果、nチャネル型TFTの半導体層303に、チャンネル形成領域671、 $n^+$ 型の不純物領域672、673、第1のゲート電極371と重なっている $n^-$ 型不純物領域674、675と、第1のゲート電極371と重なっていない $n^-$ 型不純物領域676、677が自己整合的に形成される。(図20(D))

【0178】レジストマスク670を除去した後、厚さ50nmでなる酸化シリコンでなる保護膜306を形成し、加熱処理して半導体層に添加したリン、ボロンを活性化する。層間絶縁膜307を形成し、コンタクトホールを開口して、ソース電極384、385、ドレイン電極386を形成する。以上により、CMOS回路が作製される。(図20(E))

【0179】また、本実施例では、pチャネル型TFTの第1のゲート電極の幅を細らせたが、この工程を省略

することもできる。

【0180】本実施例では、リンの添加工程において、pチャネル型TFTを覆うレジストマスク650、670を形成したが、これらのレジストマスク650又は/及び670を省略することもできる。この場合は、 $p^+$ 型の不純物領域662、663にリンが添加されるため、添加されるリン濃度をみこして、ボロンを多く添加する必要がある。

【0181】[実施例6] 本実施例は実施例1の変形例であって、リンとボロンの添加工程の順序を変えたものであり、他の構成は実施例1とほぼ同様である。

【0182】以下、図21を用いて本実施例の作製工程を説明する。図21において、図15、図16と同じ符号は同じ構成要素を示す。

【0183】また、本実施例は実施例5の変形例に対応し、実施例5と同様にpチャネル型TFTの第1のゲート電極を細らせて、第3のゲート電極373を形成する。(図21(A))

【0184】更に実施例5と同様に、pチャネル型TFT全体と、nチャネル型TFTを部分的に覆うレジストマスク680を形成する。レジストマスク680を用いて、イオンドーピング法によりリンを高濃度に添加し、n型領域681、682を形成する。(図21(B))

【0185】次に、レジストマスク680を除去して、新たにpチャネル型TFT全体を覆うレジストマスク690を形成する。イオンドーピング法によりリンを低濃度に添加する。リンが第1のゲート電極371のテーパー部を通過するように加速電圧を90keVと高めに設定する。

【0186】この結果、nチャネル型TFTの半導体層303に、チャンネル形成領域691、 $n^+$ 型の不純物領域692、693、第1のゲート電極371と重なっている $n^-$ 型不純物領域694、675と、第1のゲート電極371と重なっていない $n^-$ 型不純物領域696、697が自己整合的に形成される。(図21(C))

【0187】次に、nチャネル型TFT全体を覆うレジストマスク700を形成した後、イオンドーピング法で半導体層304にボロンを高濃度に添加する。第1、第3のゲート電極371、373がマスクとして機能し、半導体層304にチャンネル形成領域701、ソース領域、ドレイン領域として機能する $p^+$ 型不純物領域702、703が自己整合的に形成される。(図21(D))

【0188】レジストマスク700を除去した後、厚さ50nmでなる酸化シリコンでなる保護膜306を形成し、加熱処理して半導体層に添加したリン、ボロンを活性化する。層間絶縁膜307を形成し、コンタクトホールを開口して、ソース電極384、385、ドレイン電極386を形成する。以上により、CMOS回路が作製される。(図21(E))

【0189】また、本実施例では、pチャネル型TFTの第1のゲート電極の幅を細らせたが、この工程を省略することもできる。

【0190】本実施例では、リンの添加工程において、pチャネル型TFTを覆うレジストマスク680、690を形成したが、これらのレジストマスク680又は/及び690を省略することもできる。この場合は、 $p^+$ 型の不純物領域702、703にリンが添加されるため、添加されるリン濃度をみこして、ボロンを多く添加する必要がある。

【0191】上述したように実施例2～6ではCMOS回路の作製工程を説明するが、実施例1のように画素部とドライバ回路が一体化したアクティブマトリクス基板の作製工程に本実施例を適用できるのはいうまでもない。

【0192】〔実施例7〕本実施例は、実施例1等にしたテーパ部を有するゲート電極及びゲート電極の形成方法の一例を説明する。

【0193】まず、窒化酸化シリコン膜からなるゲート絶縁膜を形成し、その上にスパッタ法により金属積層膜を形成した。本実施例では純度が6N以上のタングステンターゲットを用いた。また、スパッタガスとしてはアルゴン(Ar)、クリプトン(Kr)、セシウム(Xe)等の単体ガスまたはそれらの混合ガスを用いればよい。なお、スパッタパワー、ガスの圧力、基板温度等の成膜条件は適宜実施者が制御すればよい。なお、上記金属積層膜は下層にWNx(但し、 $0 < x < 1$ )で示される窒化タングステン膜を有し、上層にタングステン膜を有している。

【0194】こうして得られた金属積層膜は、不純物元素がほとんど含まれておらず、特に酸素の含有量は30ppm以下とすることができ、電気抵抗率は $20 \mu\Omega \cdot \text{cm}$ 以下、代表的には、 $6 \mu \sim 15 \mu\Omega \cdot \text{cm}$ とすることができる。また、膜の応力は、 $-5 \times 10^9 \sim 5 \times 10^9 \text{dyn/cm}^2$ とすることができる。

【0195】なお、窒化酸化シリコン膜とは $\text{SiO}_x\text{Ny}$ で表される絶縁膜であり、珪素、酸素、窒素を所定の割合で含む絶縁膜を指す。

【0196】次いで、所望のゲート配線パターンを得るためのレジストマスクパターン(膜厚:  $1.5 \mu\text{m}$ )を形成する。

【0197】次いで、本実施例では、上記金属積層膜のパターニングに高密度プラズマを使用するICP(Inductively Coupled Plasma)エッチング装置を使用してエッチングを行ない、断面がテーパ形状を有するゲート電極及びゲート電極を形成した。

【0198】ここで、ICPドライエッチング装置プラズマ生成機構について図22を用いて詳細に説明する。

【0199】図22にエッチングチャンバーの簡略構造図を示す。チャンバー上部の石英板11上にアンテナコ

イル12を配置し、マッチングボックス13を介してRF電源14に接続されている。また、対向に配置された基板側の下部電極15にもマッチングボックス16を介してRF電源17が接続されている。

【0200】基板上方のアンテナコイル12にRF電流が印加されると、アンテナコイル12にRF電流Jが $\alpha$ 方向に流れ、Z方向に磁界Bが発生する。電流Jと磁界Bの関係は次式に従う。

【0201】 $\mu_0 J = \text{rot} B$  ( $\mu_0$ は磁化率)

【0202】次式で示すファラデーの電磁誘導の法則に従って、 $\alpha$ 方向に誘導電界Eが生じる。

【0203】 $-\partial B / \partial t = \text{rot} E$

【0204】この誘導電界Eで電子が $\alpha$ 方向に加速されガス分子と衝突し、プラズマが生成される。誘導電界の方向が $\alpha$ 方向なので、荷電粒子がエッチングチャンバー壁や、基板に衝突して電荷を消失する確率が低くなる。従って、1Pa程度の低圧力でも高密度のプラズマを発生させることができる。また、下流へは、磁界Bがほとんどないので、シート状に広がった高密度プラズマ領域となる。

【0205】アンテナコイル12(ICPパワーが印加される)と基板側の下部電極15(バイアスパワーが印加される)のそれぞれに印加するRFパワーを調節することによってプラズマ密度と自己バイアス電圧を独立に制御することが可能である。また、被エッチング膜に応じて異なる周波数のRFパワーを印加できる。

【0206】ICPエッチング装置で高密度プラズマを得るためには、アンテナコイル12に流れるRF電流Jを低損失で流す必要があり、大面積化するためには、アンテナコイル12のインダクタンスを低下させなければならない。そのために図23に示したようにアンテナを分割したマルチスパイラルコイル22のICPエッチング装置が開発された。図23中の21は石英板、23、26はマッチングボックス、24、27はRF電源である。また、チャンバーの底部には、基板28を保持する下部電極25が絶縁体29を介して設けられている。

【0207】本実施例は、様々なICPエッチング装置の中でも特に、マルチスパイラルコイル方式のICPエッチング装置を用いることで所望のテーパ角 $\theta$ を有する配線を形成した。

【0208】所望のテーパ角 $\theta$ を得るため、本実施例では、ICPエッチング装置のバイアスパワー密度を調節する。図24は、テーパ角 $\theta$ のバイアスパワー依存性を示した図である。図24に示したように、バイアスパワー密度に応じてテーパ角 $\theta$ を制御することができる。

【0209】また、エッチングガス( $\text{CF}_4$ と $\text{Cl}_2$ の混合ガス)の $\text{CF}_4$ の流量比を調節してもよい。図25はテーパ角 $\theta$ と $\text{CF}_4$ の流量比依存性を示した図である。 $\text{CF}_4$ の流量比を大きくすればタングステンとレジ

ストとの選択比が大きくなり、配線のテーパ角 $\theta$ を大きくすることができる。

【0210】また、テーパ角 $\theta$ はタングステンとレジストの選択比に依存していると考えられる。図26にタングステンとレジストの選択比とテーパ角 $\theta$ との依存性を示した。

【0211】このようにICPエッチング装置を用いて、バイアスパワー密度や反応ガス流量比を適宜決定することで、極めて容易に所望のテーパ角 $\theta=3\sim60^\circ$ （好ましくは $5\sim45^\circ$ より好ましくは $7\sim20^\circ$ ）を有するゲート電極および配線を形成することができた。

【0212】ここでは、W膜を一例として示したが、一般に知られている耐熱性導電性材料（Ta、Ti、Mo、Cr、Nb、Si等）についてICPエッチング装置を用いると、容易にパターンの端部をテーパ形状として加工することができる。

【0213】また、上記ドライエッチングに用いるエッチングガスとして $CF_4$ （四フッ化炭素ガス）と $Cl_2$ ガスとの混合ガスを用いたが、特に限定されず、例えば、 $C_2F_6$ 、または $C_4F_8$ から選ばれたフッ素を含む反応ガスと $Cl_2$ 、 $SiCl_4$ 、または $BCl_3$ から選ばれた塩素を含むガスとの混合ガスを用いることも可能である。

【0214】以降の工程は、実施例1に従えば、半導体装置が完成する。

【0215】なお、本実施例の構成は、本明細書に記載された実施例のテーパ部を有する電極の作製工程に適用できる。

【0216】【実施例8】 実施例1では半導体層にエキシマレーザにより結晶化した多結晶シリコン膜を用いたが、本実施例は他の結晶化方法を示す。

【0217】本実施例の結晶化工程は特開平7-130652号公報に記載の結晶化技術である。この結晶化工程について図27を用いて説明する。

【0218】まずガラス基板1001上に下地膜として酸化シリコン膜1002を成膜する。酸化シリコン膜1002上に非晶質シリコン膜1003を成膜する。本実施例では酸化シリコン膜1002と非晶質シリコン膜1003とをスパッタ法により連続的に成膜した。次に、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層1004を形成した。（図27（A））

【0219】なお、ニッケル（Ni）以外にも、ゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、錫（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）、金（Au）、シリコン（Si）といった元素から選ばれた一種または複数種の元素を用いても良い。

【0220】次に、 $600^\circ C$  1時間の水素だし工程の後、 $450\sim1100^\circ C$ で4～12時間（本実施例では $500^\circ C$  4時間）の熱処理を行い、結晶性シリコン膜1

005を形成した。こうして得られた結晶性シリコン膜1005は非常に優れた結晶性を有することが分かっている。（図27（B））

【0221】なお、本実施例の結晶化工程は本明細書に記載された半導体層の形成工程に適用できる。

【0222】【実施例9】 本実施例では、実施例8と異なる結晶化工程に関するものであり、特開平8-78329号公報に記載された技術を用いて結晶化した場合の例について説明する。特開平8-78329号公報に記載された技術は、触媒元素を選択的に添加することによって、半導体膜の選択的な結晶化を可能とするものである。図28を用いて、同技術を本発明に適用した場合について説明する。

【0223】まず、ガラス基板1011上に酸化シリコン膜1012を成膜し、その表面上に非晶質シリコン膜1013、酸化シリコン膜1014を連続的に成膜した。この時、酸化シリコン膜1014の膜厚は150nmとした。

【0224】次に酸化シリコン膜1014をパターニングして選択的に開口部1015を形成し、その後、重量換算で100ppmのニッケルを含む酢酸ニッケル塩溶液を塗布した。形成されたニッケル含有層1016は開口部1015の底部のみで非晶質シリコン膜1013と接触した状態となった。（図28（A））

【0225】次に、 $500\sim650^\circ C$ で4～24時間（本実施例では $550^\circ C$  14時間）の熱処理を行い、非晶質シリコン膜の結晶化を行った。この結晶化過程では、ニッケルが接した部分がまず結晶化し、そこから基板にほぼ平行な方向へと結晶成長が進行する。結晶学的には $\langle 111 \rangle$ 軸方向に向かって進行することが確かめられている。

【0226】こうして形成された結晶性シリコン膜1017は棒状または針状の結晶が集合してなり、各々の棒状結晶は、巨視的にはある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。

【0227】なお、上記公報に記載された技術においてもニッケル（Ni）以外にゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、錫（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）、金（Au）、シリコン（Si）といった元素から選ばれた一種または複数種の元素を用いることができる。

【0228】以上のような技術を用いて結晶を含む半導体膜（結晶性シリコン膜や結晶性シリコンゲルマニウム膜を含む）を形成し、パターニングを行って結晶を含む半導体膜でなる半導体層を形成すれば良い。その後の工程は実施例1に従えば良い。勿論、実施例2～7との組み合わせも可能である。

【0229】本実施例の技術を用いて結晶化した結晶を含む半導体膜を用いてTFTを作製した場合、高い電界効果移動度（モビリティ）が得られるが、そのため高い



信頼性を要求されていた。しかしながら、本発明のTFT構造を採用することで本実施例の技術を最大限に生かしたTFTを作製することが可能となった。

【0230】[実施例10] 本実施例は、実施例8、9で示した半導体の結晶化に用いたニッケルを、結晶化後にリンを用いて除去する工程を行う例を示す。本実施例ではその方法として、特開平10-135468号公報または特開平10-135469号公報に記載された技術を用いた。

【0231】同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッタリング作用を用いて除去する技術である。同技術を用いることで、結晶性半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ にまで低減することができる。

【0232】本実施例の構成について図29を用いて説明する。ここではコーニング社の1737基板に代表される無アルカリガラス基板を用いた。図29(A)では、実施例2で示した結晶化の技術を用いて、下地膜1022、結晶性シリコン膜1023が形成された状態を示している。そして、結晶性シリコン膜1023の表面にマスク用の酸化珪素膜1024が150nmの厚さに形成され、パターンニングにより開孔部が設けられ、結晶性シリコン膜を露出させた領域を設けてある。そして、リンを添加する工程を実施して、結晶性シリコン膜にリンが添加された領域1025が設けられた。

【0233】この状態で、窒素雰囲気中で550~1020℃、5~24時間、例えば600℃、12時間の熱処理を行うと、結晶性シリコン膜にリンが添加された領域1025がゲッタリングサイトとして働き、結晶性シリコン膜1023に残存していた触媒元素はリンが添加された領域1025に偏析させることができた。

【0234】そして、マスク用の酸化珪素膜1024と、リンが添加された領域1025とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を $1 \times 10^{17} \text{atoms/cm}^3$ 以下にまで低減された結晶性シリコン膜を得ることができた。この結晶性シリコン膜はそのまま実施例1で示した本願発明のTFTの半導体層として使用することができた。

【0235】[実施例11] 本実施例では、実施例8、9に対して特開平10-135468号公報または特開平10-135469号公報に記載された技術を組み合わせる例を示す。

【0236】同公報に記載された技術は、実施例3、4で示した半導体の結晶化に用いたニッケルを、結晶化後にハロゲン元素（代表的には塩素）のゲッタリング作用を用いて除去する技術である。同技術を用いることで半導体層中のニッケル濃度を $1 \times 10^{17} \text{atoms/cm}^3$ 以下（好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ 以下）にまで低減することができる。

【0237】本実施例の構成について図30を用いて説明する。まず基板として耐熱性の高い石英基板1031を用いた。勿論、シリコン基板やセラミックス基板を用いても良い。石英基板を用いた場合、特に下地膜として酸化シリコン膜を設けなくても基板側からの汚染はない。

【0238】次に実施例3、4の結晶化方法を用いて結晶性シリコン膜（図示せず）を形成し、パターンニングして半導体層1032、1033を形成した。さらに、それら半導体層を覆って酸化シリコン膜でなるゲート絶縁膜1034を形成した。（図30(A））

【0239】ゲート絶縁膜1034を形成したら、ハロゲン元素を含む雰囲気中において熱処理を行った。本実施例では処理雰囲気を酸素と塩化水素とを混合した酸化性雰囲気とし、処理温度を950℃、処理時間を30分とした。なお、処理温度は700~1150℃（代表的には900~1000℃）の間で選択すれば良いし、処理時間も10分~8時間（代表的には30分~2時間）の間で選択すれば良い。（図30(B））

【0240】この時、ニッケルは揮発性のニッケル塩化物となって処理雰囲気中に離脱し、結晶性シリコン膜中のニッケル濃度が低減する。従って、図30(B)に示した半導体層1035、1036中に含まれるニッケル濃度は $1 \times 10^{17} \text{atoms/cm}^3$ 以下に低減されていた。

【0241】以上のような技術でなる本実施例を用いて半導体層を形成し、その後の工程は実施例1、2に従えば良い。勿特に本実施例と実施例4の結晶化方法の組み合わせは非常に結晶性の高い結晶性シリコン膜を実現できることが判明している。

【0242】（半導体層の結晶構造に関する知見）上記作製工程に従って形成した半導体層は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶と略記する）が集まって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認できた。

【0243】また、電子線回折及びエックス線（X線）回折を利用して半導体層の表面（チャネルを形成する部分）が結晶軸に多少のずれが含まれているものの主たる配向面が{110}面であることを確認した。本出願人がスポット径約1.5μmの電子線回折写真を詳細に観察した結果、{110}面に対応する回折斑点がきれいに現れているが、各斑点は同心円上に分布を持っていることが確認された。

【0244】また、本出願人は個々の棒状結晶が接して形成する結晶粒界をHR-TEM（高分解能透過型電子顕微鏡法）により観察し、結晶粒界において結晶格子に連続性があることを確認した。これは観察される格子縞が結晶粒界において連続的に繋がっていることで、容易に確認できる。

【0245】なお、結晶粒界における結晶格子の連続性



は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol. 27, No. 5, pp. 751-758, 1988」に記載された「Planar boundary」である。

【0246】上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0247】特に結晶軸（結晶面に垂直な軸）が〈110〉軸である場合、〈211〉双晶粒界は $\Sigma 3$ の対応粒界とも呼ばれる。 $\Sigma$ 値は対応粒界の整合性の程度を示す指針となるパラメータであり、 $\Sigma$ 値が小さいほど整合性の良い粒界であることが知られている。

【0248】本出願人が本発明を実施して得た結晶性シリコン膜を詳細にTEMを用いて観察した結果、結晶粒界の殆ど（90%以上、典型的には95%以上）が $\Sigma 3$ の対応粒界、即ち〈211〉双晶粒界であることが判明した。

【0249】二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が〈110〉である場合、〈111〉面に対応する格子縞がなす角を $\theta$ とすると、 $\theta = 70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られている。

【0250】本実施例の結晶性シリコン膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約 $70.5^\circ$ の角度で連続しており、その事からこの結晶粒界は〈211〉双晶粒界であるという結論に辿り着いた。

【0251】なお、 $\theta = 38.9^\circ$ の時には $\Sigma 9$ の対応粒界となるが、この様な他の結晶粒界も存在した。

【0252】この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、本実施例を実施して得た結晶性シリコン膜は面方位が概略〈110〉で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうる。

【0253】この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しないと見なすことができる。

【0254】また $700 \sim 1150^\circ\text{C}$ という高い温度での熱処理工程によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減され

ていることから明らかである。

【0255】この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance : ESR）によってスピン密度の差となって現れる。現状では本実施例の作製工程に従って作製された結晶性シリコン膜のスピン密度は少なくとも $3 \times 10^{17} \text{ spins/cm}^3$ 以下（好ましくは $5 \times 10^{15} \text{ spins/cm}^3$ 以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0256】以上の事から、本実施例を実施することで得られた結晶性シリコン膜は結晶粒内及び結晶粒界が実質的に存在しないため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えると良い。本出願人はこのような結晶構造を有する結晶性シリコン膜をCGS (Continuous Grain Silicon)と呼んでいる。

【0257】CGSに関する記載は本出願人による特開平10-294280号公報、特願平10-152316号、特願平10-152308号または特願平10-152305号の出願を参照すれば良い。

【0258】(TFETの電気特性に関する知見) 本実施例で作製したTFETは、MOSFETに匹敵する電気特性を示した。本出願人が試作したTFETからは次に示す様なデータが得られている。

【0259】スイッチング性能（オン/オフ動作切り換えの俊敏性）の指標となるサブスレッショルド係数が、nチャネル型TFETおよびpチャネル型TFETともに $60 \sim 100 \text{ mV/decade}$ （代表的には $60 \sim 85 \text{ mV/decade}$ ）と小さい。

【0260】(2) TFETの動作速度の指標となる電界効果移動度（ $\mu_{FE}$ ）が、nチャネル型TFETで $200 \sim 650 \text{ cm}^2/\text{Vs}$ （代表的には $300 \sim 500 \text{ cm}^2/\text{Vs}$ ）、pチャネル型TFETで $100 \sim 300 \text{ cm}^2/\text{Vs}$ （代表的には $150 \sim 200 \text{ cm}^2/\text{Vs}$ ）と大きい。

【0261】(3) TFETの駆動電圧の指標となるしきい値電圧（ $V_{th}$ ）が、nチャネル型TFETで $-0.5 \sim 1.5 \text{ V}$ 、pチャネル型TFETで $-1.5 \sim 0.5 \text{ V}$ と小さい。

【0262】以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0263】(回路特性に関する知見) 次に、本実施例を実施して形成したTFETを用いて作製されたリングオシレータによる周波数特性を示す。リングオシレータとはCMOS構造でなるインバータ回路を奇数段リング状に接続した回路であり、インバータ回路1段あたりの遅延時間を求めるのに利用される。実験に使用したリングオシレータの構成は次の様になっている。

段数：9段

TFETのゲート絶縁膜の膜厚：30nm及び50nm

TFETのゲート長：0.6 $\mu\text{m}$

【0264】このリングオシレータによって発振周波数

を調べた結果、最大値で1.04GHzの発振周波数を得ることができた。また、実際にLSI回路のTEGの一つであるシフトレジスタを作製して動作周波数を確認した。その結果、ゲート絶縁膜の膜厚30nm、ゲイト長0.6μm、電源電圧5V、段数50段のシフトレジスタ回路において動作周波数100MHzの出力パルスが得られた。

【0265】以上の様なリングシレータおよびシフトレジスタの驚異的なデータは、本実施例のTFETがMOSFETに匹敵する、若しくは凌駕する性能（電気特性）を有していることを示している。

【0266】【実施例12】 本実施例も結晶化工程で用いた触媒元素をゲッタリングする技術に関する。

【0267】実施例10では、結晶化シリコン中の触媒元素をゲッタリングするため、ゲッタリング領域1025（図29参照）を形成する必要がある。ゲッタリング領域には、TFETを形成することができなくなるため、回路の集積化を妨げている。本実施例は上記の問題点を解消したゲッタリング方法であり、nチャネル型TFETの $n^+$ 型不純物領域及び、pチャネル型TFETの $p^+$ 型不純物領域をゲッタリング領域に用いる。

【0268】実施例1で示した工程では、 $n^+$ 型不純物領域313～315及び、 $p^+$ 型不純物領域332、333にはリンが $5 \times 10^{20}$ atoms/cm<sup>3</sup>の高濃度に存在する。（図14、図16参照）このため、これらの領域をゲッタリング領域に用いることができる。

【0269】このため、TFETの半導体層302～304を実施例3、4で示した結晶性シリコンで形成した場合、リン、ボロンの活性化工程をゲッタリングのための加熱工程と兼ねればよい。例えば、活性化工程（図14（D）、図16（D）参照）において、500～650℃（代表的には550～600℃）の処理温度で2～24時間（代表的には4～12時間）の熱処理工程を行えばよい。

【0270】この熱処理工程において、各TFETのチャネル形成領域311、312、325、331、341に残存したニッケルは、リンの作用により上記の $n^+$ 型不純物領域、 $p^+$ 型不純物領域へ向かって拡散し、そこで捕獲される。

【0271】そのため、 $n^+$ 型不純物領域313～315及び、 $p^+$ 型不純物領域332、333のニッケル（触媒）濃度は $1 \times 10^{17} \sim 1 \times 10^{20}$ atoms/cm<sup>3</sup>（代表的には $1 \times 10^{18} \sim 5 \times 10^{19}$ atoms/cm<sup>3</sup>）と増加し、他方、チャネル形成領域311、312、325、331、341のニッケル濃度は $2 \times 10^{17}$ atoms/cm<sup>3</sup>以下（代表的には $1 \times 10^{14} \sim 5 \times 10^{16}$ atoms/cm<sup>3</sup>）にまで低減することができる。

【0272】なお、本実施例の効果をj得るには、 $n^+$ 型不純物領域313～315及び、 $p^+$ 型不純物領域332、333には、リンまたはヒ素の濃度が少なくとも1

$\times 10^{19}$ atoms/cm<sup>3</sup>以上（好ましくは $1 \times 10^{20} \sim 5 \times 10^{21}$ atoms/cm<sup>3</sup>）となるようする。

【0273】【実施例13】 本実施例は、実施例1のCMOS回路の変形例である。図31を用いて。本実施例のTFETの構造を説明する。図31（A）～（D）において同じ符号は同じ構成要素を示す。また、本実施例の作製工程は実施例1、2を適用すれば良く、詳細な説明を省略する。

【0274】図31（A）は、実施例1の変形例であり、第2のゲート電極（配線）を省略して、テーパ部を有する電極（配線）だけでゲート電極（配線）を形成した例である。

【0275】基板900全面に酸化シリコンでなる下地膜901を形成されている。下地膜901上に、nチャネル型TFET、pチャネル型TFETの島状の半導体層が形成されている。島状の半導体層を覆って基板900全面に、ゲート絶縁膜905が形成されている。更に、TFETを覆って窒化シリコンでなる保護膜906、層間絶縁膜が形成907が形成され、層間絶縁膜907上にはソース電極941、942、ドレイン電極943が形成されている。

【0276】ゲート絶縁膜905を挟んでゲート配線（ゲート電極）933が半導体層を交差して形成されている。ゲート配線931の側面はテーパ状に形成されている。ここでは、厚さ250nmのクロムで形成した。更に、pチャネル型TFETの半導体層と交差している部分は、その幅が細らされて第2のゲート電極933Aが形成されている。

【0277】また半導体層にリン、ボロンを添加する方法は実施例1を適用した。nチャネル型TFETの半導体層には、チャネル形成領域911A、 $n^+$ 型不純物領域912A、913A、ゲート電極931Aと重なっている $n^-$ 不純物型領域914A、915A、ゲート電極931Aと重なっていない $n^-$ 型不純物領域916A、917Aが形成されている。

【0278】 $n^-$ 型不純物領域914A、915A、 $n^-$ 型不純物領域916A、917Aはリンの濃度が $n^+$ 型不純物領域912A、913Aよりも低くなっている。また、 $n^-$ 型不純物領域914A、915Aとチャネル形成領域911Aとの接合部はゲート電極931Aのテーパ部の下に存在し、 $n^-$ 型不純物領域914A、915Aの濃度はチャネル形成領域911Aに向かって減少している。

【0279】他方、pチャネル型TFETの半導体層には、チャネル形成領域921A、 $p^+$ 型不純物領域922A、923A、 $p^+$ 型不純物領域924A、925Aが形成されている。 $p^+$ 型不純物領域922A、923Aよりも $p^+$ 型不純物領域924A、925Aはリンの濃度が低く、ボロン濃度は同じになっている。

【0280】図31（B）は実施例2、3の変形例であ

り、第2の電極を省略して、ゲート電極をテーパー部を有する電極だけで形成した例である。

【0281】図31(B)では、nチャネル型TFTとpチャネル型TFTともゲート電極931Bはテーパー状に形成されている。ここでは、厚さ250nmのクロムで形成した。

【0282】また半導体層にリン、ボロンを添加する工程は実施例2を適用した。nチャネル型TFTの半導体層には、チャネル形成領域911B、 $n^+$ 型不純物領域912B、913B、ゲート電極931Bと重なっている $n^-$ 不純物型領域914B、915B、ゲート電極931Bと重なっていない $n^-$ 型不純物領域916B、917Bが形成されている。

【0283】 $n^-$ 型不純物領域914B、915B、 $n^-$ 型不純物領域916B、917Bはリンの濃度が $n^+$ 型不純物領域912B、913Bよりも低くなっている。また、 $n^-$ 型不純物領域914B、915Bとチャネル形成領域911Bとの接合部はゲート電極931のテーパー部の下に存在し、 $n^-$ 型不純物領域914B、915Bの濃度はチャネル形成領域911Bに向かって減少している。

【0284】他方、pチャネル型TFTの半導体層には、チャネル形成領域921B、 $p^+$ 型不純物領域922B、923Bがゲート電極931Bをマスクにして自己整合的に形成されている。

【0285】図31(C)は実施例1において、第1のゲート電極のテーパーエッチングを省略した例である。

【0286】ゲート配線は第1のゲート配線931Cと第1のゲート配線931Cよりもチャネル長方向の幅の狭い第2のゲート配線932Cでなる。なお、第1のゲート配線931Cがpチャネル型TFTの半導体層と交差する部分は、第2のゲート配線932Cをマスクにして幅が細らされた第3のゲート電極933Cが形成されている。

【0287】nチャネル型TFTの半導体層には、チャネル形成領域911C、 $n^+$ 型不純物領域912C、913C、ゲート電極931Cと重なっている $n^-$ 不純物型領域914C、915C、ゲート電極931Cと重なっていない $n^-$ 型不純物領域916C、917Cが形成されている。

【0288】 $n^-$ 型不純物領域914C、915C、 $n^-$ 型不純物領域916C、917Cはリンの濃度が $n^+$ 型不純物領域912C、913Cよりも低くなっている。

【0289】他方、pチャネル型TFTの半導体層には、チャネル形成領域921C、 $p^+$ 型不純物領域922C、923C、 $p^+$ 型不純物領域924C、925Cが形成されている。 $p^+$ 型不純物領域924C、925Cは $p^+$ 型不純物領域922C、923Cよりもリン濃度が低くなっている。

【0290】図31(D)は実施例1において、ゲート配線表面を覆う第4のゲート配線を形成した例である。

【0291】CMOS回路は実施例1の工程に従ってボロンの添加工程を行う。次に、窒化シリコンでなる保護膜906を形成する代わりに、クロム(Cr)、タンタル(Ta)、チタン(Ti)、タングステン(W)、モリブデン(Mo)でなる金属膜、またはこれらの元素を主成分とする合金、またはシリサイド等の導電性材料を形成し、パターニングして第4のゲート配線934Dを形成する。しかる後活性化を行えばよい。

【0292】この構成により、第2のゲート配線932Dが第1のゲート配線931D(第3のゲート電極933Dを含む)と第4のゲート配線934Dでくるまれた構造のゲート配線を得ることができる。

【0293】この場合には、nチャネル型TFTの半導体層には、チャネル形成領域911D、 $n^+$ 型不純物領域912D、913D、ゲート電極931Dと重なっている $n^-$ 不純物型領域914D、915D、ゲート電極931Dと重なっていない $n^-$ 型不純物領域916D、917Dが形成されているが、 $n^-$ 型不純物領域914D、915Dは第1及び第4のゲート電極と交差している部分であり、 $n^-$ 型不純物領域916D、917Dは第4のゲート電極934Dと交差していない。

【0294】この構成の利点は、第1のゲート電極931Dの下部の半導体層にほとんどリンが添加されない場合に特に有効である。図31(D)に示すように、 $n^-$ 不純物型領域914D、915Dが第1のゲート電極931Dとほとんど重ならなくなっても、第4のゲート電極934Dを $n^-$ 型不純物領域に重ならせることができるので、確実にゲート電極とオーバーラップしている $n^-$ 型不純物領域を形成することが可能になる。

【0295】他方、pチャネル型TFTの半導体層には、チャネル形成領域921D、 $p^+$ 型不純物領域922D、923D、 $p^+$ 型不純物領域924D、925Dが形成されている。 $p^+$ 型不純物領域924D、925Dは $p^+$ 型不純物領域922D、923Dよりもリン濃度が低くなっている。この場合には、 $n^-$ 型不純物領域と第4のゲート電極934Dが重なっている。オフ電流特性や耐圧性に問題が生ずる場合には、第4のゲート配線934Dを形成する際に、pチャネル型TFTの半導体層と交差している部分に第4のゲート配線934Dを形成しないようにすればよい。

【0296】[実施例14] 本明細書記載の液晶表示装置にはネマチック液晶以外にも様々な液晶を用いることが可能である。例えば、1998. SID. "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLC Display Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al. や、1997. SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Vie

wing Angle with Fast Response Time" by T. Yoshida et al. や、1996、J. Mater. Chem. 6(4)、671-673、"Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al. や、米国特許第5594569号に開示された液晶を用いることが可能である。

【0297】等方相-コレステリック相-カイラルスメクティックC相転移系列を示す強誘電性液晶(FLC)を用い、DC電圧を印加しながらコレステリック相-カイラルスメクティックC相転移をさせ、かつコーンエッジをほぼラビング方向に一致させた単安定FLCの電気光学特性を図41に示す。図41に示すような強誘電性液晶による表示モードは「Half-V字スイッチングモード」と呼ばれている。図41に示すグラフの縦軸は透過率(任意単位)、横軸は印加電圧である。「Half-V字スイッチングモード」については、寺田らの"Half-V字スイッチングモードFLCD"、第46回応用物理学関係連合講演会講演予稿集、1999年3月、第1316頁、および吉原らの"強誘電性液晶による時分割フルカラーLCD"、液晶第3巻第3号第190頁に詳しい。

【0298】図41に示されるように、このような強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。本発明の液晶表示装置には、このような電気光学特性を示す強誘電性液晶も用いることができる。

【0299】また、ある温度域において反強誘電相を示す液晶を反強誘電性液晶(AFLC)という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、いわゆるV字型の電気光学応答特性を示すものがあり、その駆動電圧が約 $\pm 2.5$ V程度(セル厚約 $1\mu\text{m}$ ~ $2\mu\text{m}$ )のものも見出されている。

【0300】また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

【0301】なお、このような無しきい値反強誘電性混合液晶を本発明の液晶表示装置に用いることによって低電圧駆動が実現されるので、低消費電力化が実現される。

【0302】[実施例15] 本発明のTFTは実施例1に示した液晶表示装置だけでなく、あらゆる半導体回路に適用することが可能である。即ち、RISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、D/Aコンバータ等の信号処理回路から

携帯機器(携帯電話、PHS、モバイルコンピュータ)用の高周波回路に適用しても良い。

【0303】さらに、従来のMOSFET上に層間絶縁膜を形成し、その上に本発明のTFTを用いて半導体回路を作製したような三次元構造の半導体装置を実現することも可能である。このように本発明は現在LSIが用いられている全ての半導体装置に適用することが可能である。即ち、SIMOX、Smart-Cut(SOITEC社の登録商標)、ELTRAN(キャノン株式会社の登録商標)などのSOI構造(単結晶半導体薄膜を用いたTFT構造)に本発明を適用しても良い。

【0304】また、本実施例の半導体回路は実施例1~13のどのような組み合わせからなる構成を用いても実現することができる。

【0305】[実施例16] 本実施例では、本願発明を用いてアクティブマトリクス型EL(エレクトロルミネッセンス)表示装置を作製した例について説明する。

【0306】図35(A)は本願発明を用いたEL表示装置の上面図である。図35(A)において、4010は基板、4011は画素部、4012はソース側駆動回路、4013はゲート側駆動回路であり、それぞれの駆動回路は配線4014~4016を経てFPC4017に至り、外部機器へと接続される。

【0307】このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材6000、シーリング材(ハウジング材ともいう)7000、密封材(第2のシーリング材)7001が設けられている。

【0308】また、図35(B)は本実施例のEL表示装置の断面構造であり、基板4010、下地膜4021の上に駆動回路用TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。)4022及び画素部用TFT4023(但し、ここではEL素子への電流を制御するTFTだけ図示している。)が形成されている。これらのTFTは公知の構造(トップゲート構造またはボトムゲート構造)を用いれば良い。

【0309】本願発明は、駆動回路用TFT4022、画素部用TFT4023に際して用いることができる。

【0310】本願発明を用いて駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料となる層間絶縁膜(平坦化膜)4026の上に画素部用TFT4023のドレインと電氣的に接続する透明導電膜となる画素電極4027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0311】次に、EL層4029を形成する。EL層

4029は公知のEL材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせ、積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0312】本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0313】EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンパー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0314】なお、本実施例では陰極4030として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0315】4031に示された領域において陰極4030と配線4016とを電気的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4028のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0316】このようにして形成されたEL素子の表面

を覆って、パッシベーション膜6003、充填材6004、カバー材6000が形成される。

【0317】さらに、EL素子部を囲むようにして、カバー材6000と基板4010の内側にシーリング材7000が設けられ、さらにシーリング材7000の外側には密封材（第2のシーリング材）7001が形成される。

【0318】このとき、この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0319】また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0320】スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0321】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 $\mu\text{m}$ のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0322】但し、EL素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

【0323】また、配線4016はシーリング材7000および密封材7001と基板4010との隙間を通過してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材7000および密封材7001の下を通過してFPC4017に電気的に接続される。

【0324】[実施例17] 本実施例では、本願発明を用いて実施例16とは異なる形態のEL表示装置を作製した例について、図36（A）、36（B）を用いて説明する。図35（A）、35（B）と同じ番号のものは同じ部分を指しているため説明は省略する。

【0325】図36（A）は本実施例のEL表示装置の上面図であり、図36（A）をA-A'で切断した断面図を図36（B）に示す。

【0326】実施例17に従って、EL素子の表面を覆ってパッシベーション膜6003までを形成する。

【0327】さらに、EL素子を覆うようにして充填材6004を設ける。この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0328】また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0329】スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0330】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 $\mu$ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0331】但し、EL素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

【0332】次に、充填材6004を用いてカバー材6000を接着した後、充填材6004の側面（露出面）を覆うようにフレーム材6001を取り付ける。フレーム材6001はシーリング材（接着剤として機能する）6002によって接着される。このとき、シーリング材6002としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材6002はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材6002の内部に乾燥剤を添加してあっても良い。

【0333】また、配線4016はシーリング材6002と基板4010との隙間を通してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材6002の下を通してFPC4017に電気的に接続される。

【0334】〔実施例18〕実施例16および実施例17のような構成からなるアクティブマトリクス型EL表

示パネルにおいて、本願発明を用いることが出来る。実施例17、18では光が下方に放射される構造になっているが、本実施例では画素部のさらに詳細な断面構造の一例を図37に、上面構造を図38（A）に、回路図を図38（B）に示す。図37、図38（A）及び図38（B）では共通の符号を用いるので互いに参照すれば良い。本実施例では上方照射の例を示しているが、本実施例の画素部の構造を実施例17、18に応用してEL表示装置を作製できるのはいうまでもない。

【0335】図37において、基板3501上に設けられたスイッチング用TFT3502は本願発明のNTFTを用いて形成される（実施例1～13参照）。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、本願発明のPTFTを用いて形成しても構わない。

【0336】また、電流制御用TFT3503は本願発明のNTFTを用いて形成される。このとき、スイッチング用TFT3502のドレイン配線3035は配線3036によって電流制御用TFTのゲート電極3037に電気的に接続されている。ゲート配線3039からスイッチング用TFT3502のゲート電極3039a、3039bが伸びている。なお、図面が複雑になるため、図38（A）ではゲート配線3039及びゲート電極3037、3039a、3039bは1層のみしか示していないが、実際は図37に示すよう2層になっている。

【0337】このとき、電流制御用TFT3503が本願発明の構造であることは非常に重要な意味を持つ。電流制御用TFTはEL素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFTのドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設ける本願発明の構造は極めて有効である。

【0338】また、本実施例では電流制御用TFT3503をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0339】また、図38（A）に示すように、電流制御用TFT3503のゲート電極3037となる配線は3504で示される領域で、電流制御用TFT3503



のドレイン配線3040と絶縁膜を介して重なる。このとき、3504で示される領域ではコンデンサが形成される。このコンデンサ3504は電流制御用TFT3503のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線3040は電流供給線（電源線）3601に接続され、常に一定の電圧が加えられている。

【0340】スイッチング用TFT3502及び電流制御用TFT3503の上には第1パッシベーション膜3041が設けられ、その上に樹脂絶縁膜でなる平坦化膜3042が形成される。平坦化膜3042を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いので、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成するように画素電極を形成する前に平坦化しておくことが望ましい。

【0341】また、3043は反射性の高い導電膜でなる画素電極（EL素子の陰極）であり、電流制御用TFT3503のドレインに電気的に接続される。画素電極3043としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0342】また、絶縁膜（好ましくは樹脂）で形成されたバンク3044a、3044bにより形成された溝（画素に相当する）の中に発光層3045が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としては共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルbazool（PVK）系、ポリフルオレン系などが挙げられる。

【0343】なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0344】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150nm（好ましくは40～100nm）とすれば良い。

【0345】但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良

い。

【0346】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0347】本実施例では発光層3045の上にPEDOT（ポリチオフェン）またはPAni（ポリアニリン）でなる正孔注入層3046を設けた積層構造のEL層としている。そして、正孔注入層3046の上には透明導電膜でなる陽極3047が設けられる。本実施例の場合、発光層3045で生成された光は上面側に向かって（TFTの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0348】陽極3047まで形成された時点でEL素子3505が完成する。なお、ここでいうEL素子3505は、画素電極（陰極）3043、発光層3045、正孔注入層3046及び陽極3047で形成されたダイオードを指す。図38（A）に示すように画素電極3043は画素の面積にはほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0349】ところで、本実施例では、陽極3047の上にさらに第2パッシベーション膜3048を設けている。第2パッシベーション膜3048としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0350】以上のように本願発明のEL表示パネルは図37のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示パネルが得られる。

【0351】なお、本実施例の構成は、実施例1～13構成と自由に組み合わせて実施することが可能である。また、実施例22の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

【0352】〔実施例19〕本実施例では、実施例18に示した画素部において、EL素子3505の構造を反転させた構造について説明する。説明には図39を用いる。なお、図37の構造と異なる点はEL素子の部分と電流制御用TFTだけであるので、その他の説明は省略

することとする。

【0353】図39において、電流制御用TFT3503は本願発明のPTFTを用いて形成される。作製プロセスは実施例1～13を参照すれば良い。

【0354】本実施例では、画素電極（陽極）3050として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。もちろん、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0355】そして、絶縁膜でなるバンク3051a、3051bが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層3052が形成される。その上にはカリウムアセチルアセトネート（acacKと表記される）でなる電子注入層3053、アルミニウム合金でなる陰極3054が形成される。この場合、陰極3054がパッシベーション膜としても機能する。こうしてEL素子3701が形成される。

【0356】本実施例の場合、発光層3052で発生した光は、矢印で示されるようにTFTが形成された基板から外部に放射される。

【0357】なお、本実施例の構成は、実施例1～13の構成と自由に組み合わせて実施することが可能である。また、実施例22の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

【0358】【実施例20】 本実施例では、図38（B）に示した回路図とは異なる構造の画素とした場合の例について図40（A）～図40（C）に示す。なお、本実施例において、3801はスイッチング用TFT3802のソース配線、3803はスイッチング用TFT3802のゲート配線、3804は電流制御用TFT、3805はコンデンサ、3806、3808は電流供給線、3807はEL素子とする。

【0359】図40（A）は、二つの画素間で電流供給線3806を共通とした場合の例である。即ち、二つの画素が電流供給線3806を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0360】また、図40（B）は、電流供給線3808をゲート配線3803と平行に設けた場合の例である。なお、図40（B）では電流供給線3808とゲート配線3803とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線3808とゲート配線3803とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0361】また、図40（C）は、図40（B）の構造と同様に電流供給線3808をゲート配線3803と平行に設け、さらに、二つの画素を電流供給線3808

を中心に線対称となるように形成する点に特徴がある。

また、電流供給線3808をゲート配線3803のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0362】なお、本実施例の構成は、実施例1～13、15～17の構成と自由に組み合わせて実施することが可能である。また、実施例22の電子機器の表示部として本実施例の画素構造を有するEL表示パネルを用いることは有効である。

【0363】【実施例21】 実施例18に示した図38（A）、38（B）では電流制御用TFT3503のゲートにかかる電圧を保持するためにコンデンサ3504を設ける構造としているが、コンデンサ3504を省略することも可能である。実施例19の場合、電流制御用TFT3503として実施例1～13に示すような本願発明のNTFTを用いているため、ゲート絶縁膜を介してゲート電極に重なるように設けられたLDD領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ3504の代わりとして積極的に用いる点に特徴がある。

【0364】この寄生容量のキャパシタンスは、上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0365】また、実施例20に示した図40（A）～（C）の構造においても同様に、コンデンサ3805を省略することは可能である。

【0366】なお、本実施例の構成は、実施例1～13、16～20の構成と自由に組み合わせて実施することが可能である。また、実施例22の電子機器の表示部として本実施例の画素構造を有するEL表示パネルを用いることは有効である。なお実施例17から実施例22中で、NTFT及びPTFTは本願のnチャネル型TFT及びpチャネル型TFTと同じ物を指すことは言うまでもない。

【0367】【実施例22】 本発明を実施して形成されたTFTを用いた半導体装置は様々な半導体回路や電気光学装置を代表とする表示装置に適用することができる。即ち、それら電気光学装置や半導体回路を部品として組み込んだ電子機器全てに本発明は適用できる。

【0368】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図32及び図33に示す。

【0369】図32（A）はパーソナルコンピュータで



あり、本体2001、画像入力部2002、表示装置2003、キーボード2004で構成される。本発明を画像入力部2002、表示装置2003やその他の信号制御回路に適用することができる。

【0370】図32(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明を表示装置2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0371】図32(C)はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本発明は表示装置2205やその他の信号制御回路に適用できる。

【0372】図32(D)はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0373】図32(E)はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示装置2402、スピーカ部2403、記録媒体2404、操作スイッチ2405で構成される。なお、この装置は記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示装置2402やその他の信号制御回路に適用することができる。

【0374】図32(F)はデジタルカメラであり、本体2501、表示装置2502、接眼部2503、操作スイッチ2504、受像部（図示しない）で構成される。本発明を表示装置2502やその他の信号制御回路に適用することができる。

【0375】図33(A)はフロント型プロジェクターであり、表示装置2601、スクリーン2602で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0376】図33(B)はリア型プロジェクターであり、本体2701、表示装置2702、ミラー2703、スクリーン2704で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0377】なお、図33(C)は、図33(A)及び図33(B)中における表示装置2601、2702の構造の一例を示した図である。表示装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単

板式であってもよい。また、図33(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0378】また、図33(D)は、図33(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図33(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0379】以上の様に、本発明の半導体装置は適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の半導体装置は実施例1～21のどのような組み合わせからなる構成を用いても実現することができる。

#### 【0380】

【発明の効果】本発明を実施することで、TFETの信頼性を高めること、特にnチャネル型TFETの信頼性を高めることができる。従って、厳しい信頼性が要求される高い電気特性（特に高いモビリティ）を有するチャネル型TFETの信頼性を確保することが可能となった。また同時に、特性バランスに優れたnチャネル型TFETとpチャネル型TFETとを組み合わせることでCMOS回路を形成することで、信頼性が高く且つ優れた電気特性を示す半導体回路を形成できる。

【0381】さらに、本発明では半導体の結晶化に用いた触媒元素を低減することができるため、不安定要因の少ない半導体装置を実現できる。しかも触媒元素を低減する工程はソース領域及びドレイン領域の形成及び活性化と同時に進行するため、スループットを低下させるようなこともない。

【0382】また、以上のようにTFETで組む回路の信頼性を高めることで電気光学装置、半導体回路、さらには電子機器をも含む全ての半導体装置の信頼性を確保することが可能となる。

#### 【図面の簡単な説明】

【図1】本発明のTFETの作製工程を示す断面図。（実施形態1）

【図2】本発明のTFETの作製工程を示す断面図。（実施形態1）

【図3】ゲート電極の部分断面図。（実施形態1）

【図4】半導体層の部分断面図。（実施形態1）

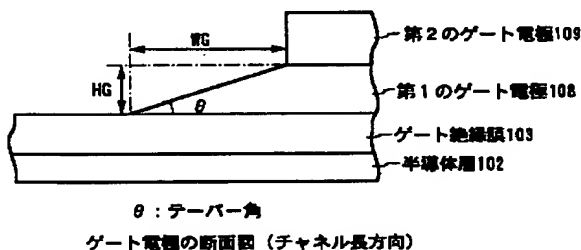
【図5】本発明のTFETの作製工程を示す断面図。（実施形態2）

【図6】本発明のTFETの作製工程を示す断面図。（実施形態2）

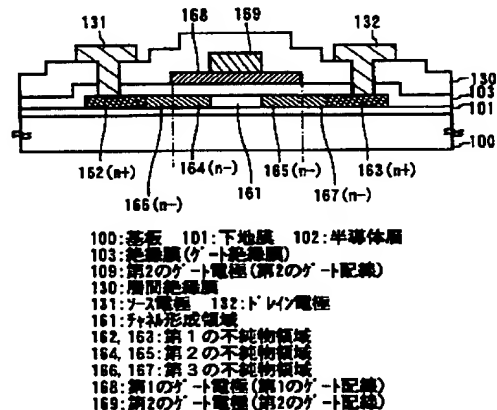
- 【図7】本発明のTFTの断面図。(実施形態3)  
 【図8】本発明のTFTの断面図。(実施形態4)  
 【図9】本発明のTFTの断面図。(実施形態4)  
 【図10】本発明の液晶表示装置の概略を示す図。(実施例1)  
 【図11】本発明の画素部、CMOS回路の上面図。(実施例1)  
 【図12】本発明のアクティブマトリクス基板の断面図。(実施例1)  
 【図13】本発明の画素部の作製工程を示す断面図。(実施例1)  
 【図14】本発明の画素部の作製工程を示す断面図。(実施例1)  
 【図15】本発明のCMOS回路の作製工程を示す断面図。(実施例1)  
 【図16】本発明のCMOS回路の作製工程を示す断面図。(実施例1)  
 【図17】本発明のCMOS回路の作製工程を示す断面図。(実施例2)  
 【図18】本発明のCMOS回路の作製工程を示す断面図。(実施例3)  
 【図19】本発明のCMOS回路の作製工程を示す断面図。(実施例4)  
 【図20】本発明のCMOS回路の作製工程を示す断面図。(実施例5)  
 【図21】本発明のCMOS回路の作製工程を示す断面図。(実施例6)  
 【図22】ICPエッチング装置のプラズマ生成機構を示した図。(実施例7)  
 【図23】マルチスパイラルコイル方式のICPエッチング装置の概念図で。(実施例7)  
 【図24】バイアスパワー対テーパー角 $\theta$ 特性図。(実施例7)

- 【図25】対 $\text{CF}_4$ の流量比対テーパー角 $\theta$ 特性図。(実施例7)  
 【図26】(W/レジスト)選択比対テーパー角 $\theta$ 特性図。(実施例7)  
 【図27】本発明の結晶性シリコン膜の作製工程を示す図。(実施例8)  
 【図28】本発明の結晶性シリコン膜の作製工程を示す図。(実施例9)  
 【図29】本発明の結晶性シリコン膜の作製工程を示す図。(実施例10)  
 【図30】本発明の結晶性シリコン膜の作製工程を示す図。(実施例11)  
 【図31】本発明のCMOS回路の作製工程を示す断面図。(実施例13)  
 【図32】本発明の電子機器の一例を示す図。(実施例22)  
 【図33】本発明の電子機器の一例を示す図。(実施例22)  
 【図34】TFTのゲート電圧ードレイン電流特性図。  
 【図35】アクティブマトリクス型EL表示装置の構成を示す図。(実施例16)  
 【図36】アクティブマトリクス型EL表示装置の構成を示す図。(実施例17)  
 【図37】アクティブマトリクス型EL表示装置の画素部の構成を示す断面図。(実施例18)  
 【図38】アクティブマトリクス型EL表示装置の画素部の構成を示す上面図及び回路図。(実施例18)  
 【図39】アクティブマトリクス型EL表示装置の画素部の構成を示す断面図。(実施例19)  
 【図40】アクティブマトリクス型EL表示装置の画素部の構成を示す回路図。(実施例20)  
 【図41】反強誘電性混合液晶の光透過率特性の一例を示す図。(実施例14)

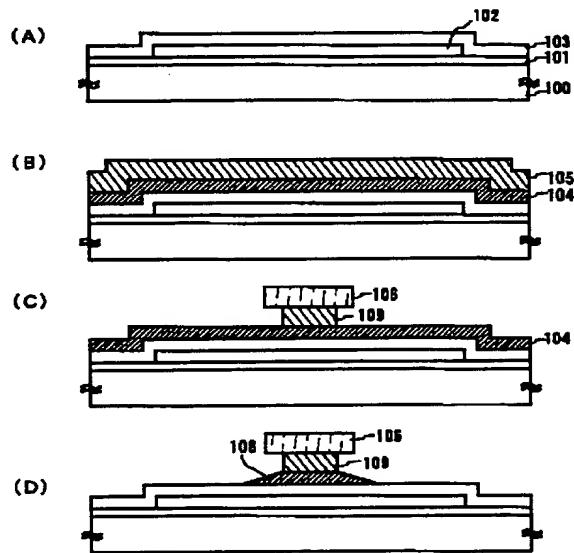
【図3】



【図7】

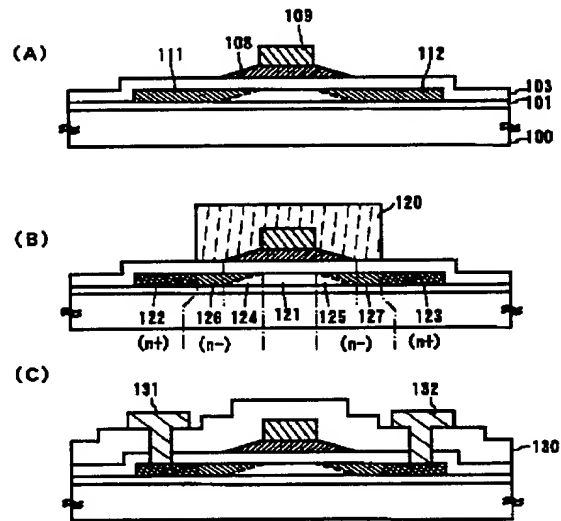


【図1】



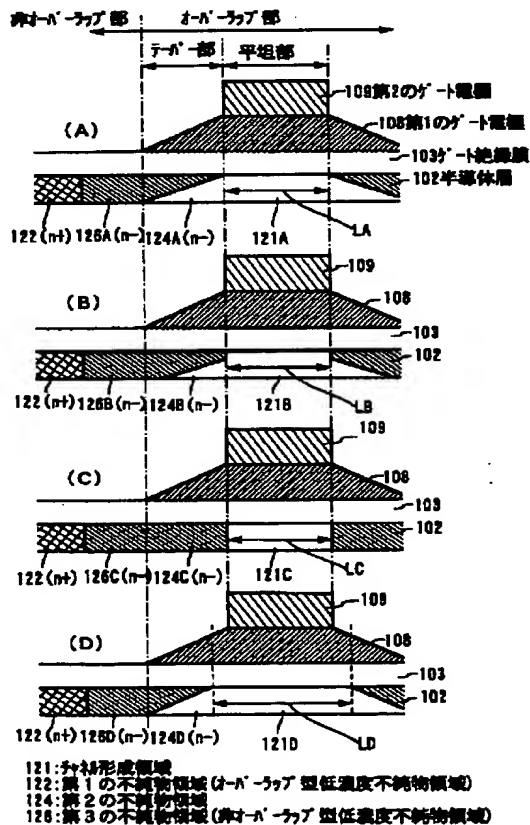
100:基板 101:下地膜 102:半導体層  
103:絶縁膜(ゲート絶縁膜)  
104:第1の導電膜 105:第2の導電膜  
106:ゲート電極  
107:第1のゲート電極(第1のゲート配線)  
108:第2のゲート電極(第2のゲート配線)

【図2】



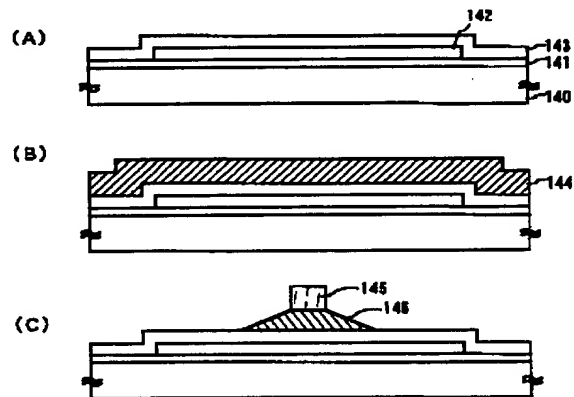
100:基板 101:下地膜  
102:絶縁膜(ゲート絶縁膜)  
103:第1の導電膜 104:第2の導電膜  
105:第1のゲート電極(第1のゲート配線)  
106:第2のゲート電極(第2のゲート配線)  
107:ゲート電極  
108:ゲート電極  
109:ゲート電極  
110:ゲート電極  
111:ゲート電極  
112:ゲート電極  
113:ゲート電極  
114:ゲート電極  
115:ゲート電極  
116:ゲート電極  
117:ゲート電極  
118:ゲート電極  
119:ゲート電極  
120:ゲート電極  
121:ゲート電極  
122:ゲート電極  
123:ゲート電極  
124:ゲート電極  
125:ゲート電極  
126:ゲート電極  
127:ゲート電極  
128:ゲート電極  
129:ゲート電極  
130:ゲート電極  
131:ゲート電極  
132:ゲート電極

【図4】



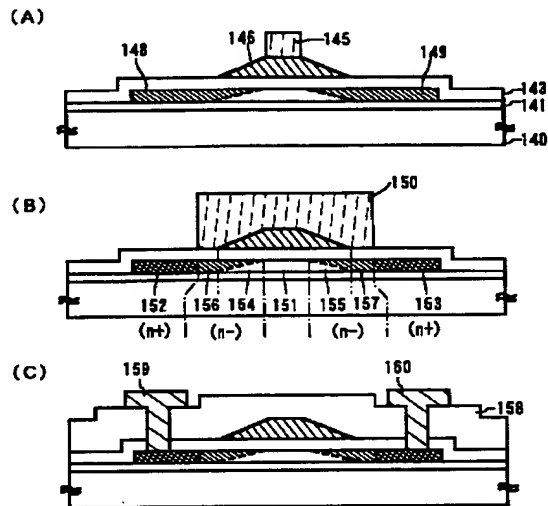
121:外延形成領域  
122:第1の不純物領域(オ-パ-ラップ型低濃度不純物領域)  
124:第2の不純物領域  
126:第3の不純物領域(オ-パ-ラップ型低濃度不純物領域)

【図5】



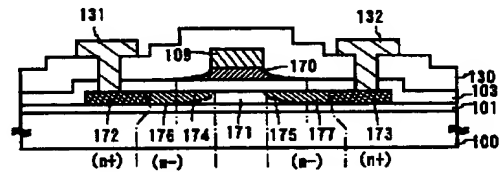
140:基板 141:下地膜 142:半導体層  
143:絶縁膜(ゲート絶縁膜)  
144:導電膜  
145:ゲート電極  
146:ゲート電極(ゲート配線)

【図6】



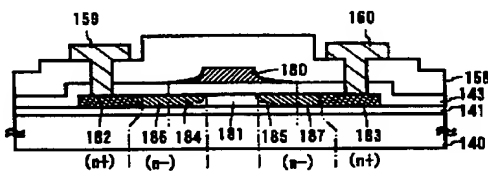
140:基板 141:下地膜  
143:絶縁膜(ゲート絶縁膜)  
146:ゲート電極(ゲート配線)  
147, 150:ノード電極  
151:ノード形成領域  
152, 153:第1の不純物領域  
154, 156:第2の不純物領域  
155, 157:第3の不純物領域  
158:層間絶縁膜  
159:ソース電極 160:ドレイン電極

【図8】



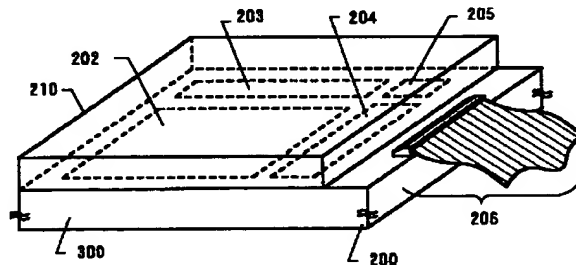
100:基板 101:下地膜  
103:絶縁膜(ゲート絶縁膜)  
109:第2のゲート電極(第2のゲート配線)  
130:層間絶縁膜  
131:ソース電極 132:ドレイン電極  
170:第1のゲート電極(第1のゲート配線)  
171:ノード形成領域  
172, 173:第1の不純物領域  
174, 175:第2の不純物領域  
176, 177:第3の不純物領域

【図9】



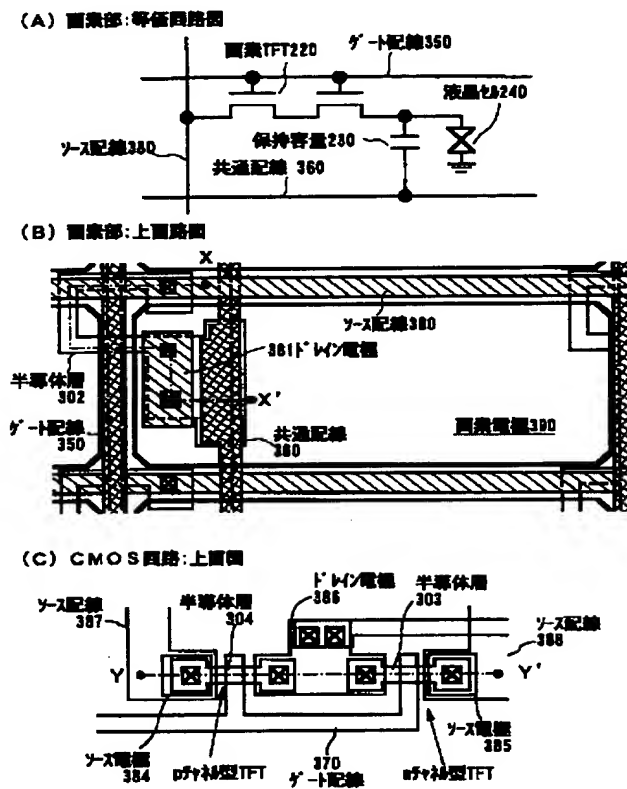
140:基板 141:下地膜  
143:絶縁膜(ゲート絶縁膜)  
146:ゲート電極(ゲート配線)  
159:ソース電極 160:ドレイン電極  
180:ゲート電極(ゲート配線)  
181:ノード形成領域  
182, 183:第1の不純物領域  
184, 186:第2の不純物領域  
185, 187:第3の不純物領域

【図10】

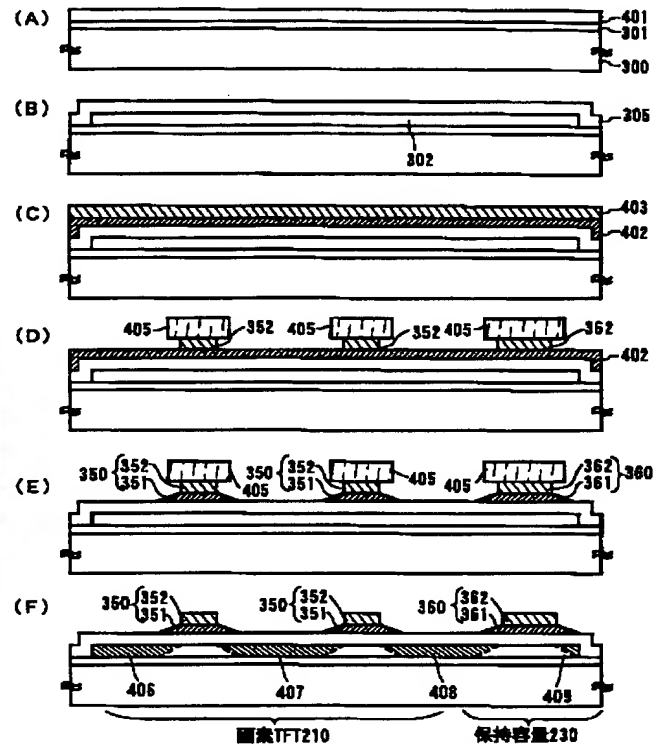


アクティブマトリクス基板200  
300:A'系基板 202:画素部  
203:ゲートM'N'回路 204:ソースM'N'回路 205:信号配線回路  
206:FPC  
210:対向基板

【図11】

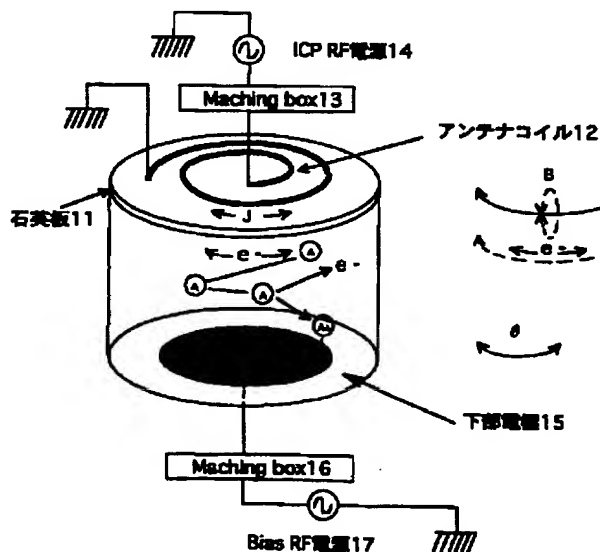


【図12】

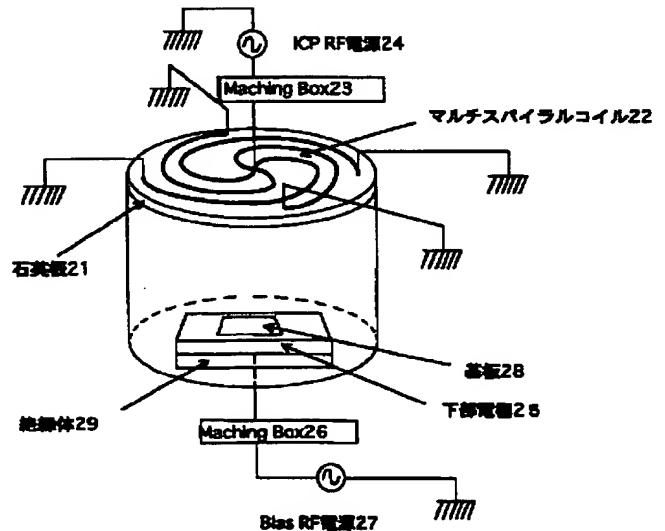


200:ガラス基板 301:下地膜 302:半導体層 305:ゲート絶縁膜  
 350:ゲート配線(ゲート電極)  
 351:第1のゲート配線(第1のゲート電極) 352:第2のゲート配線(第2のゲート電極)  
 360:共通配線(共通電極)  
 371:第1の共通配線(第1の共通電極) 372:第2共通配線(第2の共通電極)  
 401:絶縁性レジスト膜 402:n型レジスト膜 403:SiO<sub>2</sub>膜 405:レジストマスク  
 406-409:n型領域

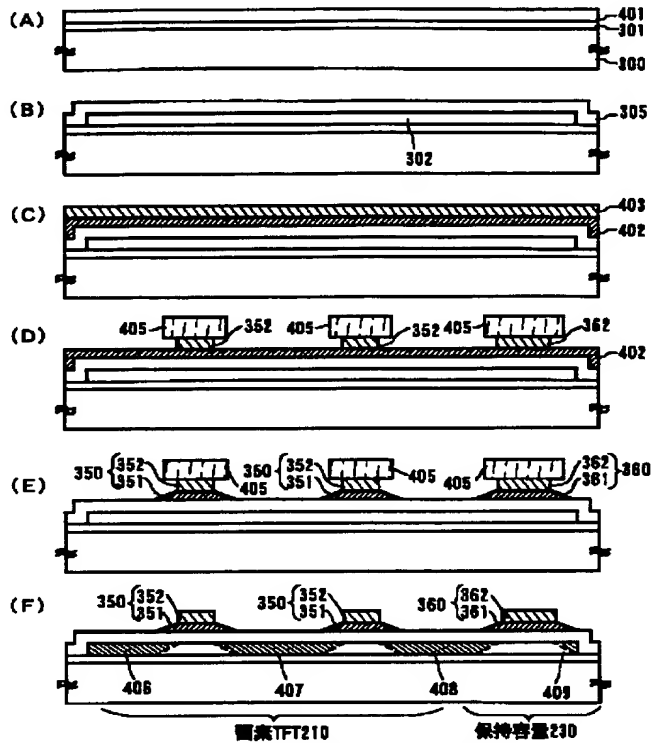
【図22】



【図23】

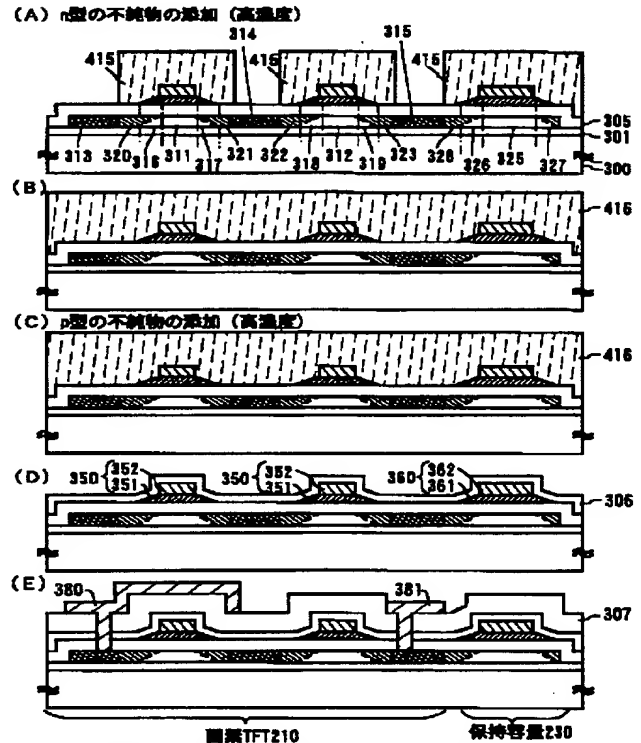


【図13】



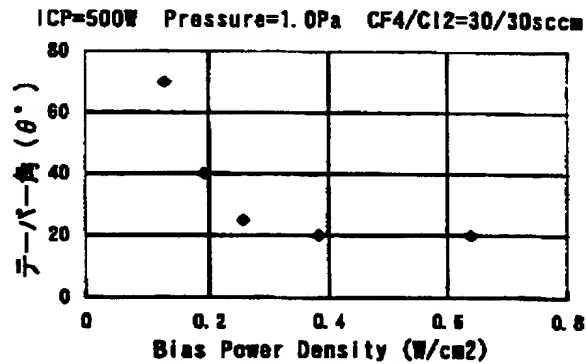
300:ガラス基板 301:下地膜 302:半導体層 305:ゲート絶縁膜  
 350:ゲート配線(ゲート電極) 351:第1のゲート配線(第1のゲート電極) 352:第2のゲート配線(第2のゲート電極)  
 360:共通配線(共通電極) 371:第1の共通配線(第1の共通電極) 372:第2共通配線(第2の共通電極)  
 401:絶縁性リソ膜 402:n型シリコン膜 403:Mo-W膜 405:レジストマスク  
 406-408:n型領域

【図14】



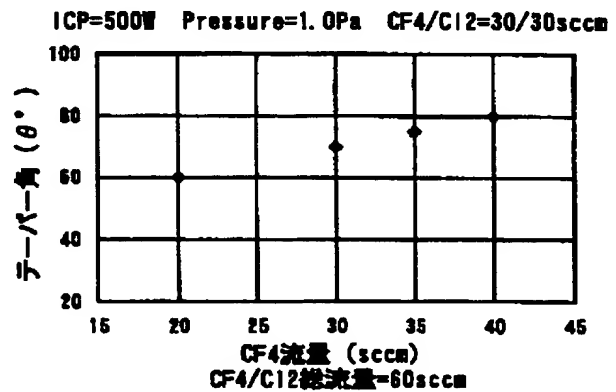
300:ガラス基板 301:下地膜 305:ゲート絶縁膜 306:保護膜  
 307:層間絶縁膜 311, 312:F+形成領域 313-315:n型不純物領域  
 318-319:n型不純物領域 320-323:n型不純物領域  
 325:F+形成領域 328, 327:n型不純物領域 328:n型不純物領域  
 350:ゲート配線(ゲート電極) 351:第1のゲート配線(第1のゲート電極) 352:第2のゲート配線(第2のゲート電極)  
 360:共通配線(共通電極) 371:第1の共通配線(第1の共通電極) 372:第2共通配線(第2の共通電極)  
 380:ソース配線 381:ドレイン電極 415, 416:レジストマスク

【図24】



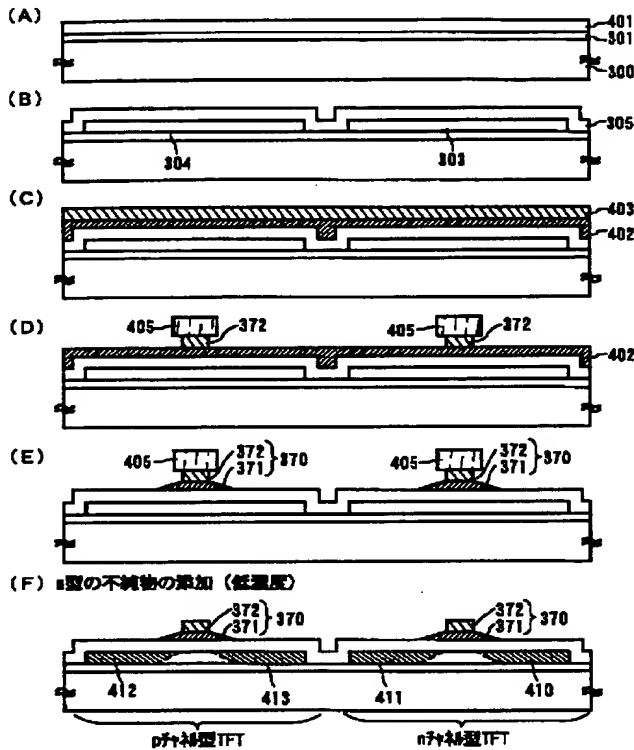
配線の断面形状(テーパ角θ)のBias POWER依存性

【図25】



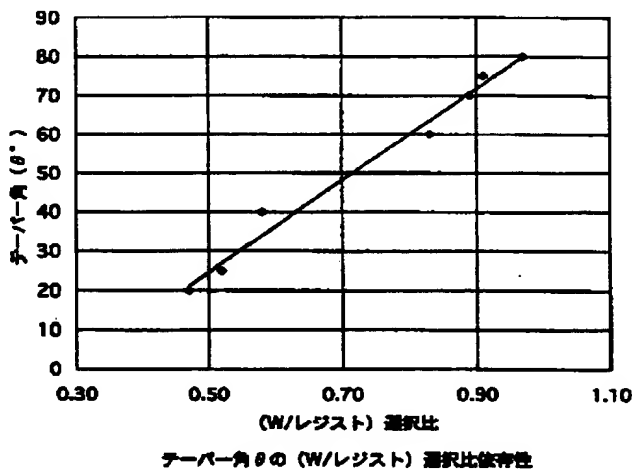
配線の断面形状(テーパ角θ)のCF4流量比依存性

【図15】

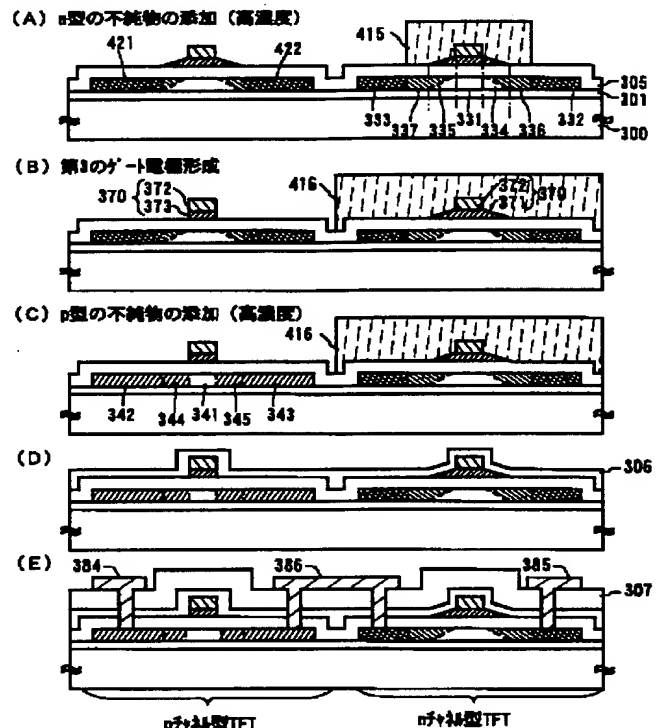


300:ガラス基板 301:下地膜 303, 304:半導体層 305:ゲート絶縁膜  
 370:ゲート配線(第1のゲート電極)  
 371:第1のゲート配線(第1のゲート電極)  
 372:第2のゲート配線(第2のゲート電極)  
 401:結晶性シリコン膜 402:n型シリコン膜 403:Mo-Si膜 405:レジストマスク  
 410-413:n-型領域

【図26】

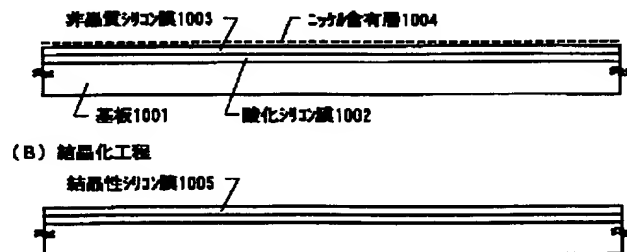


【図16】

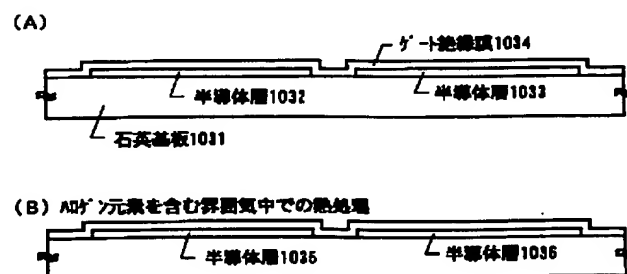


300:ガラス基板 301:下地膜 305:ゲート絶縁膜 306:保護膜 307:層間絶縁膜  
 331:ゲート形成領域 332, 333:n-型不純物領域 334, 335:p-型不純物領域  
 336, 337:p-型不純物領域  
 341:ゲート形成領域 342, 343:p-型不純物領域 344, 345:p-型不純物領域  
 370:ゲート配線(第1のゲート電極)  
 371:第1のゲート配線(第1のゲート電極) 372:第2のゲート配線(第2のゲート電極)  
 373:第3のゲート配線  
 384, 385:ソース電極 386:ドレイン電極  
 415, 416:レジストマスク 421, 422:n-型不純物領域

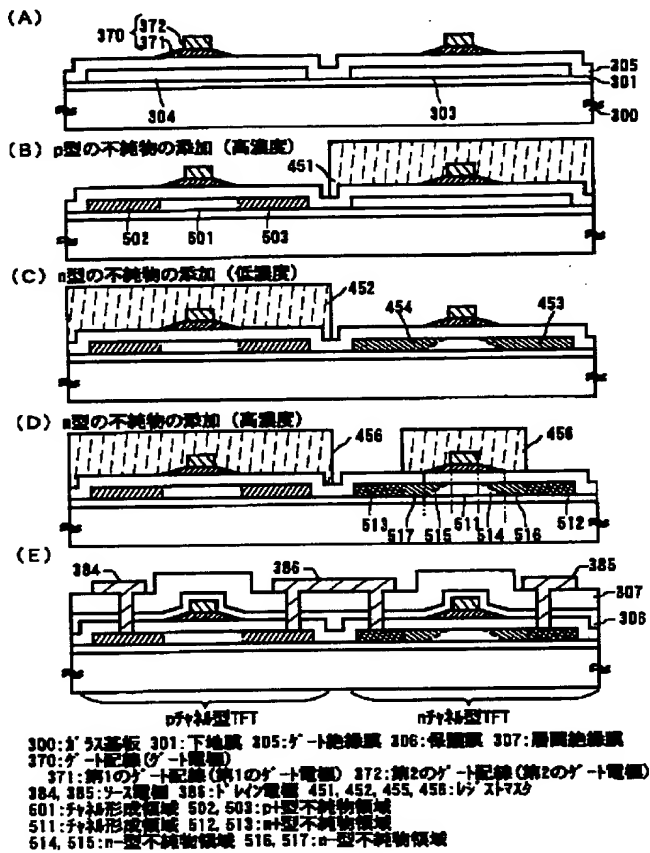
【図27】



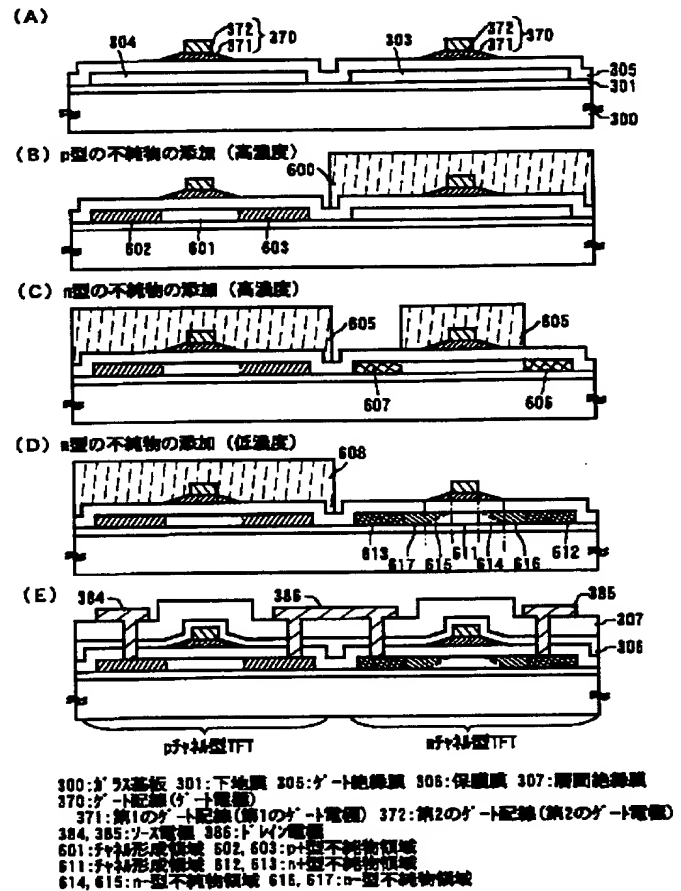
【図30】



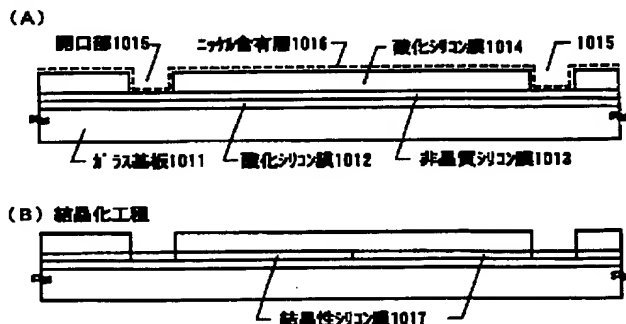
【図17】



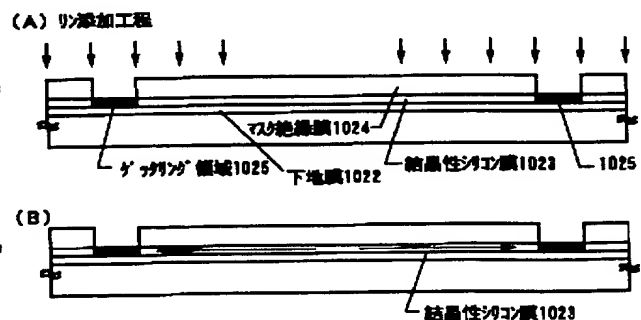
【図18】



【図28】

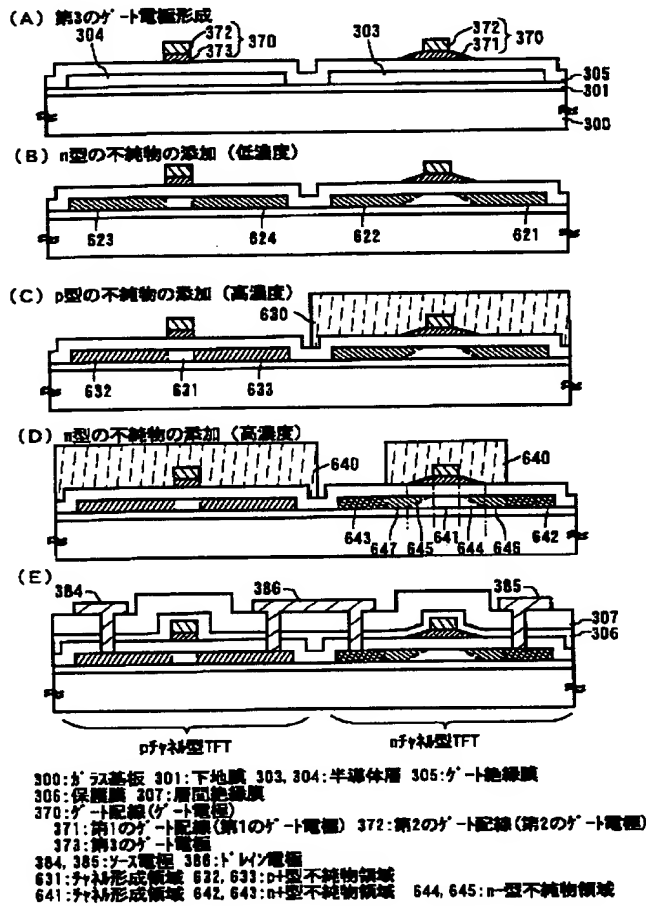


【図29】

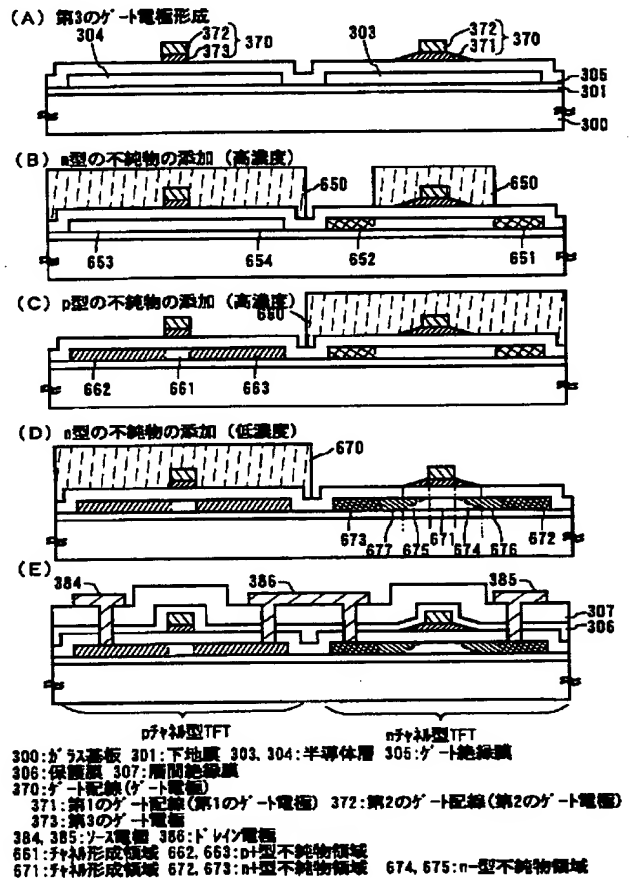




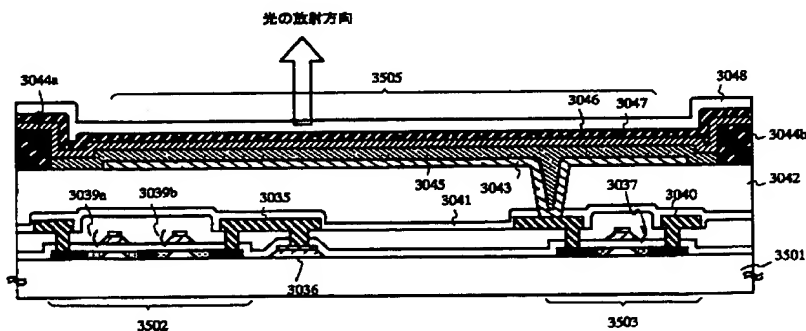
【図19】



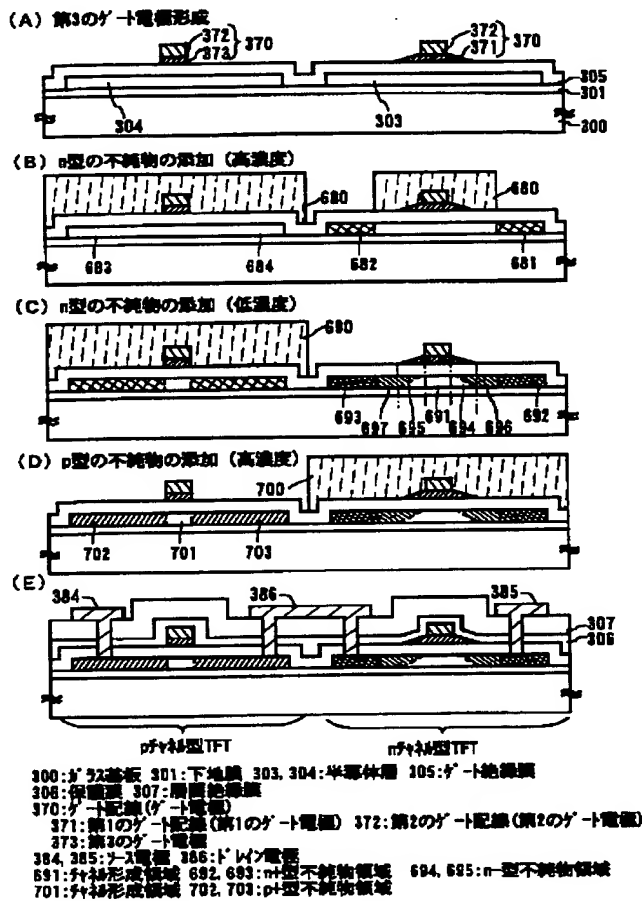
【図20】



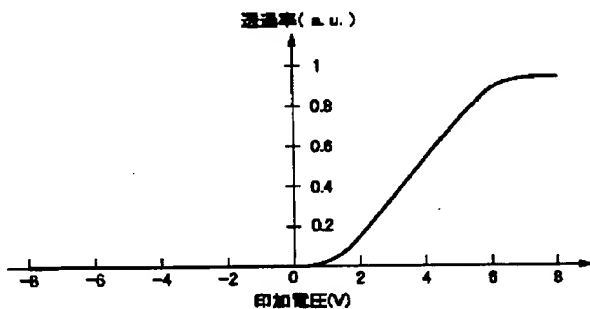
【図37】



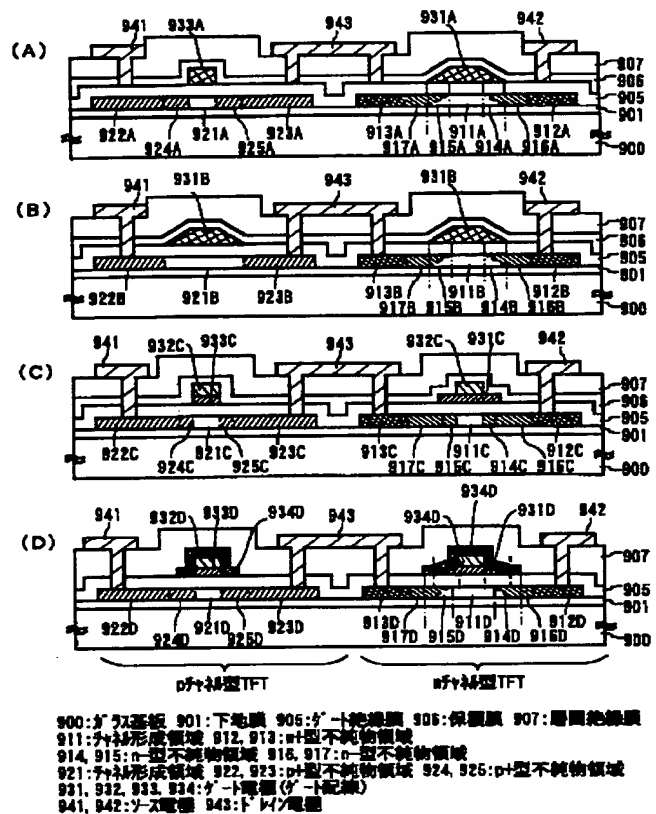
【図21】



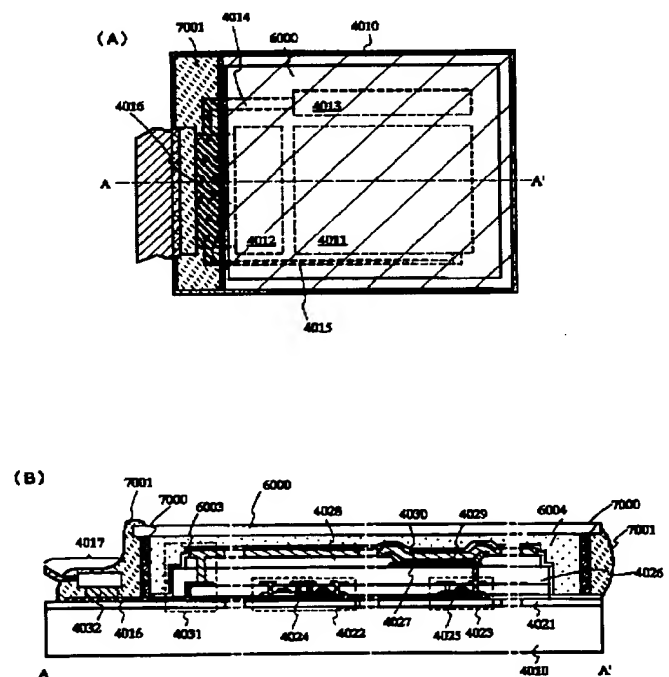
【図41】



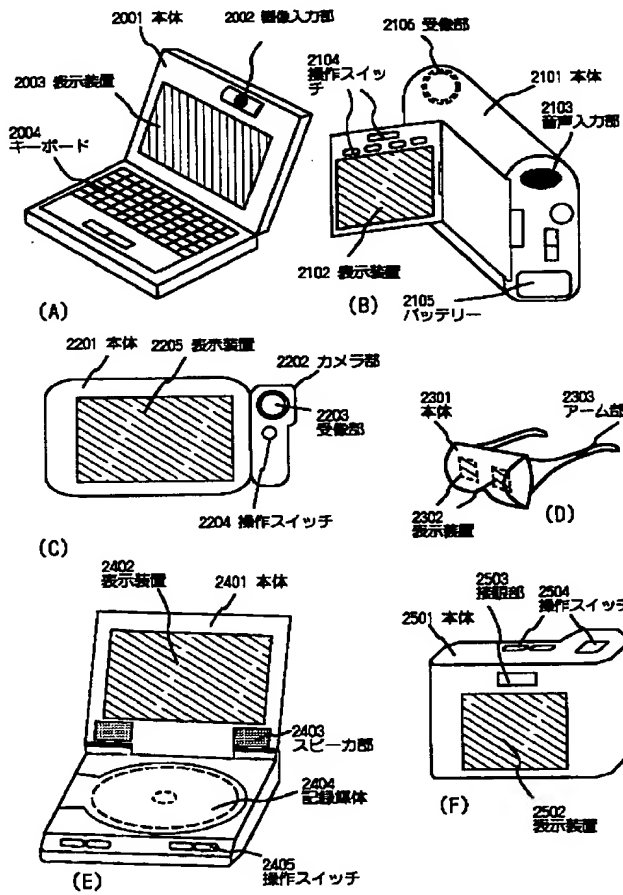
【図31】



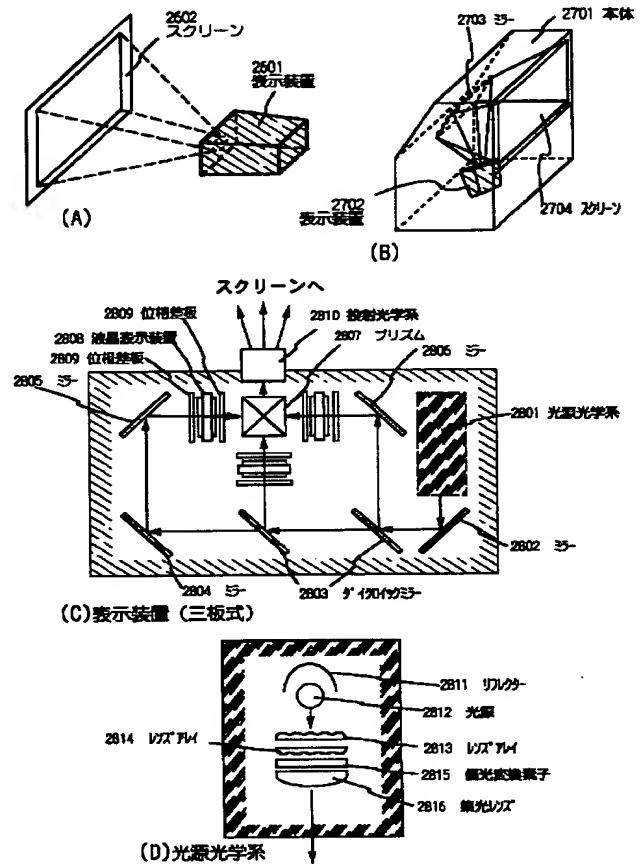
【図35】



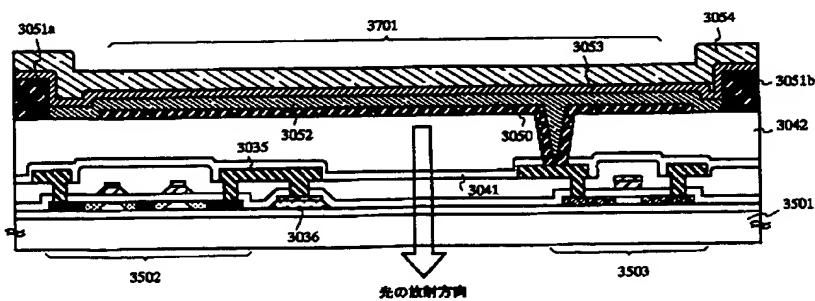
【図 3 2】



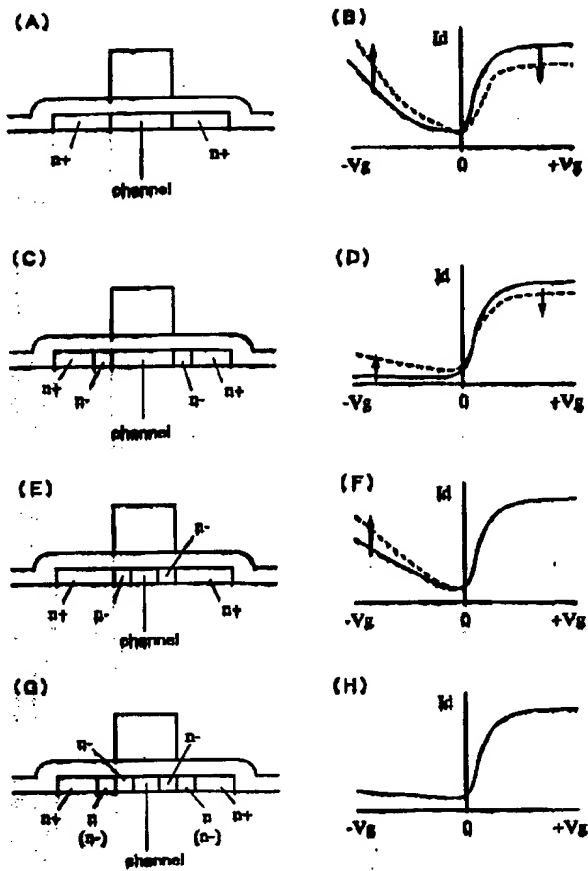
【図 3 3】



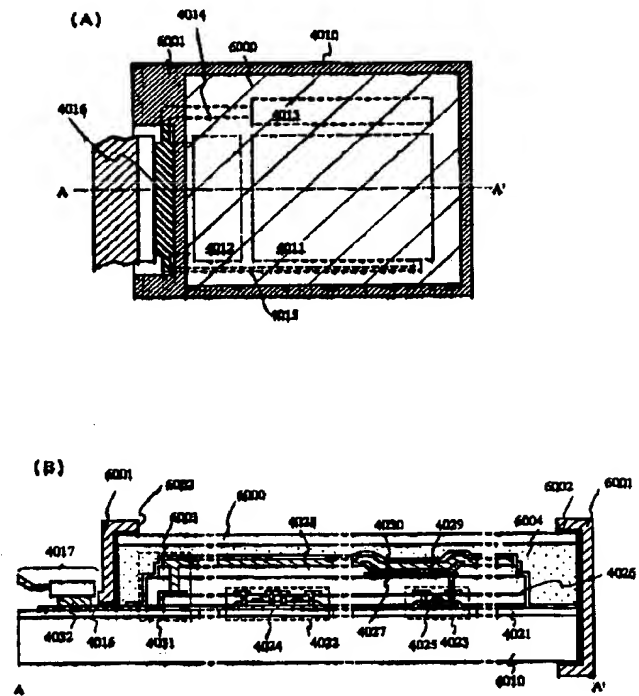
【図 3 9】



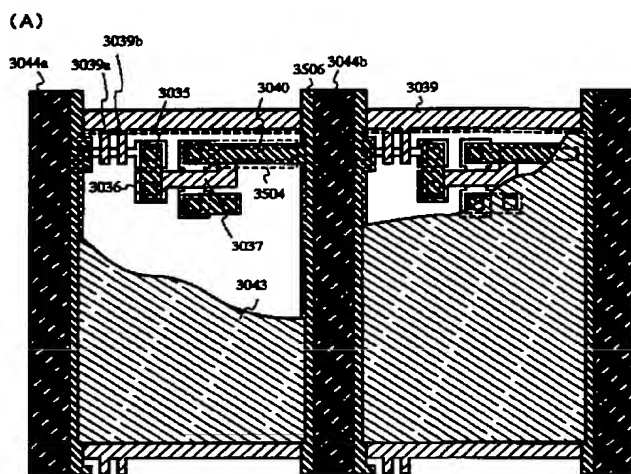
【図34】



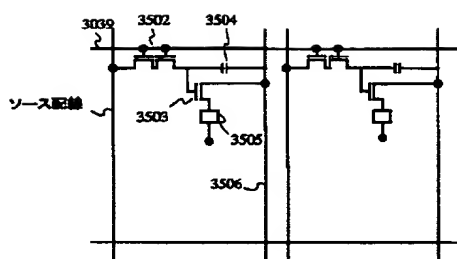
【図36】



【図38】

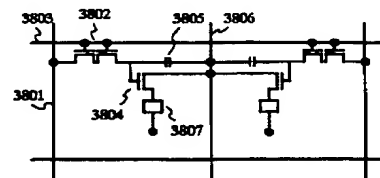


(B)

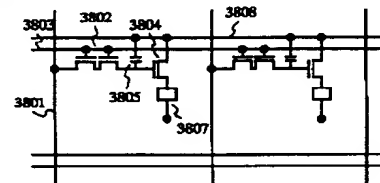


【図40】

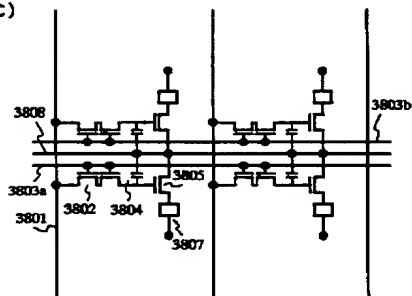
(A)



(B)



(C)



フロントページの続き

(51) Int. Cl. 7

識別記号

F I  
H 0 1 L 29/78テ-マコ-ト' (参考)  
6 2 7 G

Fターム(参考) 5F052 AA02 AA17 AA24 BA02 BA07  
BB01 BB07 DA01 DA02 DA03  
DB02 DB03 DB07 GB05 JA01  
JA10  
5F110 AA06 AA26 BB02 BB04 CC02  
DD01 DD02 DD03 DD12 DD13  
DD14 DD15 DD17 EE01 EE02  
EE03 EE04 EE05 EE06 EE09  
EE14 EE15 EE23 EE44 FF02  
FF03 FF04 FF09 FF10 FF28  
FF30 FF31 GG02 GG03 GG04  
GG13 GG15 GG25 GG32 GG34  
GG43 GG45 GG47 HJ01 HJ04  
HJ07 HJ13 HJ17 HJ18 HJ23  
HL03 HL04 HL12 HL24 HM15  
NN02 NN23 NN24 NN35 NN73  
NN74 PP02 PP03 PP05 PP06  
PP10 PP34 PP35 QQ04 QQ05  
QQ11 QQ19 QQ28